



FWDG 1.0TA

03/02/2010

# FireWire Design Guide

## 摘要

本文件系针对设计个人计算机或是消费性电子产品时导入 Firewire(IEEE 1394)连接埠的设计导引。内容包含了规范标准与设计的参考信息，藉以达成最佳化的设计。

# 1394 Trade Association 规范

1394 Trade Association 规范、手册 以及指南，乃是由 1394 Trade Association 工作团队为了促进 IEEE1394 兼容产品市场的发展以及成长所制作。1394 Trade Association 乃是一个非营利的工作组织，1394 工作团队的参加者多是自愿且未由该组织支领薪资。大多数的参加者代表 1394 Trade Association 组织的会员。由这些工作团队所发展的工作产品(work product)代表参加者专业的共识(consensus)。

1394 Trade Association 文件的使用系完全基于自愿。1394 Trade Association 文件并没有暗示没有其它方式可生产、测试、量测、购买、销售、或者提供 1394 Trade Association 规范范畴的物品以及服务。此外，在一时间点文件中提出的观点将根据技术状态的发展以及规范使用者的意见将有所改变。使用者必须谨慎确认来决定文件确为 1394 Trade Association 的最新版本。

欢迎任何对 1394 Trade Association 各版本文件有兴趣者提出意见，无论您是否为 1394 Trade Association 的会员。对文件的建议变更应随同适当的意见，并以书面方式提出。

解读声明：问题偶尔可能系对于规范与特定应用的相关性提出。当该些解读引起 1394 Trade Association 的注意，我们将准备适当的响应动作。

对规范的意见或者解读的要求可以寄到下面地址：

Editor, 1394 Trade Association  
315 Lincoln, Suite E  
Mukilteo, WA 98275  
USA

1394 Trade Association 文件由 1394 Trade Association 采用，但未虑及在本规范中，对存在于物品、材料、或者制程中之专利或者其他智能财产权。1394 Trade Association 于文件的采用，对任何专利权拥有人并没有任何责任；对于文件的使用者也无任何义务。关于智慧财产权，本文件之读者请自行判断是否侵权。

**1394 Trade Association  
315 Lincoln, Suite E  
Mukilteo, WA 98275 USA**

所印制

Copyright © 2010 by 1394 Trade Association  
All rights reserved.

## 版权声明

### IEEE 版权

本规范之部分由已出版之IEEE标准允许复制:

原始文件为:

IEEE Std 1394-1995, Standard for a High Performance Serial Bus

IEEE Std 1394a-2000, Standard for a High Performance Serial Bus - Amendment 1

IEEE 版权政策于 <http://standards.ieee.org/IPR/copyrightpolicy.html>, 其部分声明:

免版税许可(Royalty Free Permission)

于免版税基础上, IEEE-SA 政策主张任何人可摘录以及出版最高可达, 但不超过, 全部 IEEE SA 文件的 10%(除 IEEE SIN 书籍以外)之内容, 只要:

- 1) 提供适当的承认感谢;
- 2) 该标准的「重点中心」不完全包含于摘录的部分。

以上包含 IEEE 文件的表格、图标、数字、以及报表范围。

## 检视清单(Checklist)

所有设计具备有FireWire连接端口产品的，可以查询：

#2.1: 连接器(连接头与连接座)必须满足IEEE标准的要求.....	9
#2.2: 连接头(plug)必须有一个外模，便于方向定位.....	10
#2.3: 连接座必须有正确的方位来确保连接头的拇指接触部分在上方或是左侧.....	11
#2.4: 接续到单一-PHY的连接座必须靠近.....	12
#2.5: FireWire 800 9-to-9 (1394b type 1)连接线组装屏蔽与接地不可以短路.....	12
#3.1: 连接器到PHY的配线越短越好(TP1到TP2 与 TP3到TP4).....	16
#3.2: 确保TPBIAS去耦合电容(decoupling capacitor)有正确的数值.....	17
#3.3: 限制FW400最少的共模扼流圈来通过EMC规范.....	17
#3.4: 在电源提供端提供瞬时保护电路来防止Vg迟接对于PHY的伤害.....	17
#3.5: FireWire电源必须有电流限制与电流滤波.....	18
#3.6: VG 必须电容性连到机壳接地并以最小滤波(也许无)直接连到PHY信号地.....	18
#3.7: 所有非绝缘连接埠的连接座屏蔽必须直接连到机壳地.....	18
#3.8: 连接座屏蔽必须直接连到系统中某处的VG.....	19
#3.9: 需要隔离接口的系统需要使用Beta-only 1394b来连接.....	19
#3.10: FW800连接埠必须避免使用共模扼流圈.....	20
#3.11: FW800连接器插座必须内部结合内层与外壳.....	20
#3.12: FW800 TPA与TPB彼此的屏蔽与FW400屏蔽皆有不同的终端要求.....	20
#3.13: 确保长配线的信号整合性来支持前方面板连接器.....	20
#3.14: 若是系统有多个PHYs而且至少其中一个PHYs有支持S800或更快，那么所有的PHYs必须是S800或更快.....	21
#4.1: 确保Power_class的设定正确.....	23
#4.2: 确保CONTENDER不起作用(deasserted).....	23
#4.3: 连接PCIe CLKREQ*.....	23
#4.4: TI PHY核心电压为1.95V.....	24
#4.5: TI PHY 核心电压使用1uF电容器滤波.....	24
#4.6: TI PHY振荡电压可以为 1.95V.....	24
#4.7: 当使用TI PHYs在中继模式时，确保正确的PHY/LINK接脚终端方式.....	24
#4.8: 确保TI Phys上未使用连接端口的配置与终端方式.....	24
#4.9: 确保LKON/DS2正确偏压为高电位或低电位.....	25
#4.10: 小心当TI 1394b PHY 连接埠2未使用或设定于DS-only 模式之场合.....	25
#4.11: 留意TI PHY之DS模式连接端口最高速度报告不正确.....	25
#4.12: 在TI PHYs 的双模式(bi-lingual)连接端口采用峰化电感器(peaking inductors).....	25
#4.13: 在TI PHYs上连接PLLVD_33 到AVDD_3_3 电源.....	25
#4.14: 确保满足TI PHY的建议.....	25
#4.15: 连接Chex OHCI_PME# 到一个GPIO，求得最佳化的电源管理.....	25
#4.16: 确保Chex GRST# 仅在连结层电源周期时起作用.....	25
#4.17: 让Chex GPIO没有连接.....	26
#4.18: 将Chex CYCLEOUT作为一个测试点.....	26
#4.19: 连接VDD_33_AUX到3.3V.....	26
#4.20: 确保满足TI连结组件在实践上的要求.....	26
#4.21: 确保TI连结组件在睡眠模式期间提供电源.....	26
#4.22: 确保满足G_RST* 的时序要求.....	26
#4.23: G_RST*信号是异步(asynchronous).....	26
#4.24: 确保VAUX_DETECT在FW643上拉高电位.....	27
#4.25: 确保FW643的电源重置与1.0V调节电源一致.....	27

#4.26: 确保满足LSI整合PHY/Link组件的实践要求.....	27
#4.27: 对于LSI整合PHY/Link的组件, 确保在睡眠模式期间供应电源.....	27
#4.28: 确保PME对于LSI FW323 v129. 的软件是唯一可识别的.....	27
#4.29: 在PHY/Link 接口上所需的内部或外部电位拉低.....	29
#4.30: 若是PHY/Link 传输延迟大于1ns, 需要特殊的终端方式.....	29
#5.1: 在保护二极管与连接器之间的所有组件与跑线需要能够承受33V或更高电压.....	31
#5.2: PHY的动作不可受到电源供应端触发的电流限制所影响.....	31
#5.3: 电源供应端系统不能够受到电源取用端的涌入电流或短路所影响.....	31
#5.4: 电源类别(Power Class) 4的电源供应端必须实施适当的 CSRs. ....	32
#5.5: 从接口取得电源供应的便携式装置与周边产品必须宣告它的电源类别.....	32
#5.6: 电源取用端必须履行电源管理CSRs.....	32
#5.7: 确保CPS正确地连接.....	34
#6.1: OHCI 连结在预期的负载下必须满足实时性要求.....	42

## 内容(Contents)

2. 机构 .....	9
2.1 连接器.....	9
2.2 点对点连接 .....	10
3. 连接埠设计 .....	16
3.1 界面.....	16
3.2 连接器/PHY 配线 .....	16
3.2.1 终端.....	19
3.2.2 前方面板(远程)连接器配线指引.....	20
3.3 测试建议.....	21
4. 系统设计 .....	24
4.1 PHY 的选择.....	24
4.2 PHY 配置的建议.....	23
4.2.1 概论.....	23
4.3 连结层建议 .....	23
4.3.1 PCIe 建议 .....	23
4.4 特定装置的建议.....	24
4.4.1 TI TSB81BA3.....	24
4.4.2 TI XI02213 (Cheetah Express, aka Chex).....	23
4.4.3 TI TSB82AA2 1394b 连结组件.....	26
4.4.4 LSI FW643 .....	27
4.4.5 LSI FW323 .....	27
4.5 PHY/Link 界面.....	29
4.5.1 额外的要求.....	29
4.5.2 跑线布置指引 .....	30
5. 连接线电源 .....	31
5.1 简介.....	31
5.2 FireWire电源检视清单.....	31
5.3 FireWire装置指引 .....	30
5.4 电路的范例.....	33
5.4.1 桌上型辅助电源供应端.....	35
5.4.2 桌上型主要电源供应端具有备用通过电力.....	36
5.4.3 可携式计算机(Portable computer).....	37
5.4.4 外围或行动式装置.....	38
5.5 注释.....	39
5.5.1 Power Classes (参考用).....	39
5.5.2 二极管保护的注解.....	39
5.5.3 断电的使用与连接线不忙碌.....	40
5.5.4 Trade Association连接线电源分布规范 - 拟议的变化.....	41
6. 连结的选择.....	42
6.1 OHCI 的需求.....	42
6.2 目标装置 .....	42
6.2.1 异步外围.....	42

6.2.2 媒介/消费性电子.....	42
7. 韧体暨高层软件.....	43
7.1 基本节点操作.....	43
7.1.1 总线初始化.....	43
7.1.2 配置 ROM .....	43
7.1.3 等时资源管理员(Isochronous Resource Manager).....	43
7.1.4 总线管理员(Bus Manager).....	43
7.1.5 必要的性能.....	43
7.1.6 互通性(Interoperability) .....	43
7.2 大容量储存装置(Mass storage devices).....	43
7.2.1 SBP profile.....	43
7.2.2 AV profile.....	43
7.3 成像装置(Imaging devices) .....	43
7.3.1 打印机(Printers) .....	43
7.3.2 扫描仪(Scanners) .....	43
7.3.3 相机(Still image cameras) .....	43
7.3.4 机器视觉相机(Machine vision cameras) .....	43
7.4 消费性电子产品(Consumer electronics).....	43
7.4.1 磁带机(Tape recorders) .....	43
7.4.2 电视(Televisions).....	43
7.4.3 机上盒(Set top boxes) .....	43
7.4.4 磁盘(Disks) .....	43
7.4.5 音频设备(Audio equipment) .....	43
7.5 专业装置(Professional).....	43
7.5.1 音频(Audio) .....	44
7.5.2 视讯(Video).....	44
7.6 汽车(Automobile).....	44
7.7 工业用/仪器(Industrial/Instrumentation).....	44
8.1 S800 1394b TSB81BA3 实体层跑线布置建议.....	52
9. Firewire 设计指引 - 扎实的连接埠设计.....	55
12.1 一致性的术语(Conformance terminology).....	71
12.2 技术词汇(Technical glossary).....	71

## 图示(Figures)

图2-1 — 接头外模(Plug overmold).....	10
图2-2 — 连接座的定向(从外部来观看).....	11
图2-3 — 传统连接座的定向(从产品前方来观看).....	11
图2-4 — 1394b type 1 连接线组装与示意图(Beta接头到Beta接头).....	13
图2-5 — 1394b type 2 连接线组装与示意图(传统6接脚接头到双模式接头).....	14
图2-6 — 1394b type 3 连接线组装与示意图(传统4接脚接头到双模式接头) .....	15
图3-1 — 测量点(连接显示的一半).....	16
图5-1 — 一个多埠电源供应端, class 1/2/3 节点.....	34
图5-2 — 一个多埠电源供应端, class 4节点.....	35
图5-3 — 一个多埠电源供应端class 1/2/3 节点, 当无电力可用作为class 4 .....	36
图5-4 — 一个多埠的辅助电源供应端class 4节点.....	37
图5-5 — 单一连接端口总线供电(class 4)节点.....	38
图5-6 — 多端口总线供电(class 4)节点.....	38

图5-7 — 提供电源管理领域的二极管.....	40
图8-1 — FW800 OHCI 控制器范例.....	46
图10-1 — 两连接埠电源管理IC.....	68
图 10-2 — 使用多个两埠的电源管理 IC.....	69

## Tables

表格2-1 — 插入力与移除力(暂定).....	9
表格2-2 — 1394b type 1 (Beta到beta)的点对点连接.....	13
表格2-3 — 传统6接脚到1394b双模式(bilingual)的点对点连接.....	14
表格2-4 — 传统4接脚到1394b双模式(bilingual)的点对点连接.....	15
表格3-1 — 1394b 接收器特性.....	16
表格4-1 — MI周期反射引起的虚假周期(Phantom cycles).....	29
表格 5-1 — Power class .....	39

## 2. 机构(Mechanical)

### 2.1 连接器(Connectors)

项目 #2.1: 连接器(接头与连接座)必须满足IEEE标准的要求

连接座(socket)或说插座, 必须能坚决抵制反向的插入。

这是说连接座的狭窄部分不可以有裂缝, 除非有机构上的强化来防止当接头反向插入时对于狭窄端的张开。也就是说必须满足[2], [3], 与[4]中制定的机构耐受规范。特别是, 连接座必须符合以下插入力道的要求:

表格 2-1: 插入力与移除力(暂定)

条件状况(Condition)	插入力/移除力	注释说明
6只接脚接头对准插入6只接脚连接座	< 1 N	采用 1394 所允许的最大尺寸接头以及 VG, VP, 或 TPx 接合之前的最大值来测量; 当完全插入时必须有显著的咔哒声或是喀嚓声。
9只接脚接头对准插入9只接脚连接座		
6只接脚接头从6只接脚连接座中正确拔出	> 1 N	采用 1394 所允许的最小尺寸接头以及 VG, VP, 或 TPx 接触分离之前的最小值来测量; 当移走拔开时必须有显著的咔哒声或是喀嚓声。
9只接脚接头从9只接脚连接座中正确拔出		
6只接脚接头反向对齐插入6只接脚连接座	> 10 N	采用1394所允许的最小尺寸接头以及VG, VP, 或TPx接触接合之前的最小力来测量; 而连接座必须由于反向插入而显著损坏。  (允许不当使用的诊断用)
9只接脚接头反向对齐插入9只接脚连接座		

## 项目 #2.2: 接头(plug)必须有一个外模, 便于方向定位

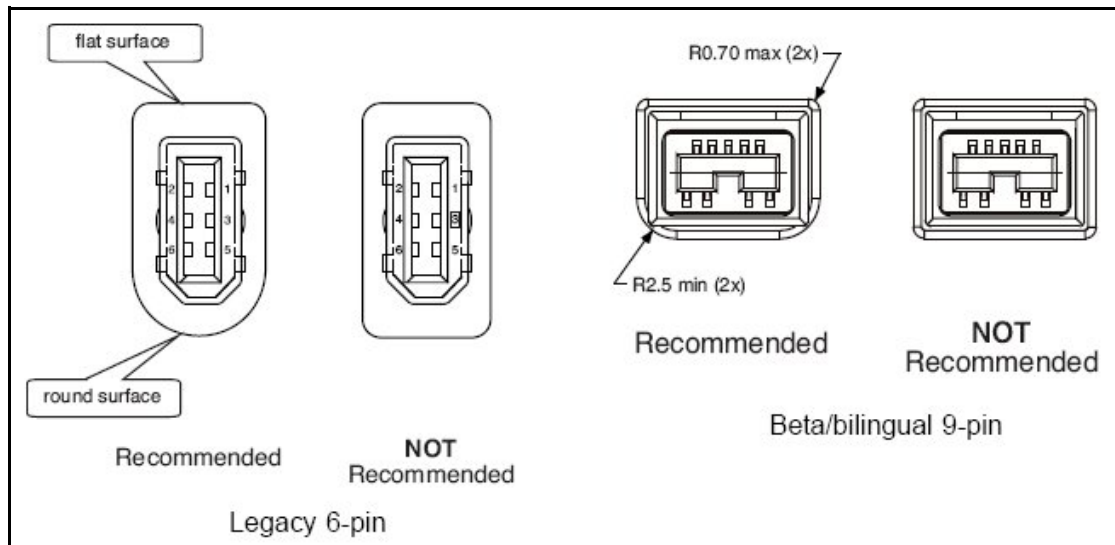


图 2-1: 接头外模(Plug overmold)

外模系提供暗示或是便利性, 让使用者知道拇指要放在何处。

- 水平表面(flat surface) 对应于窄轴上的”平”面。
- 圆弧表面(round surface) 对应于窄轴上的”角度”面。

此举将可以协助防止反方向的连接(特别是若是遵循了连接器的摆置规则, 叙述如下)。

**项目 #2.3: 连接座必须有正确的方位来确保连接头的拇指接触部分在上方或是左侧**

连接座必须有标准的定向来帮助“盲目性的”插入。由于连接头外模有特征来怂恿使用者将拇指放在特定的位置，而且多数使用在插入时会将拇指放在连接头的上方；因此，连接座本身必须定向为当从外端观看时，”拇指”特征即在上方。多数的使用者也是右手操作，另一个具有”拇指”特征就在于左方。图2-2与图2-3就解释了这个概念。

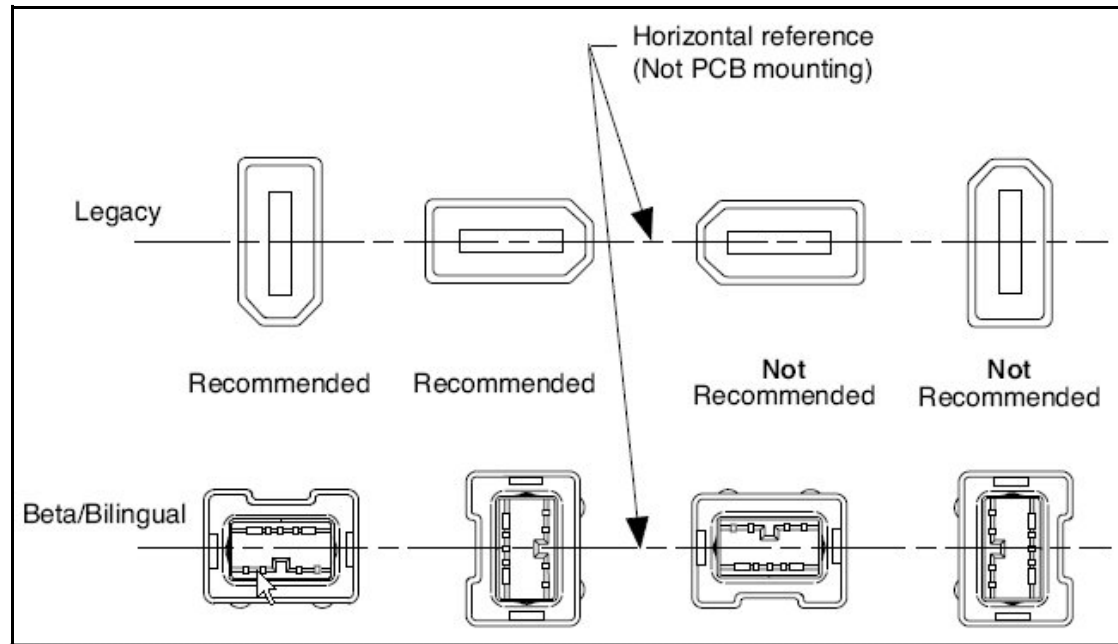


图 2-2: 连接座的定向(从外部来观看)

... 或是从假定产品的前方来观看:

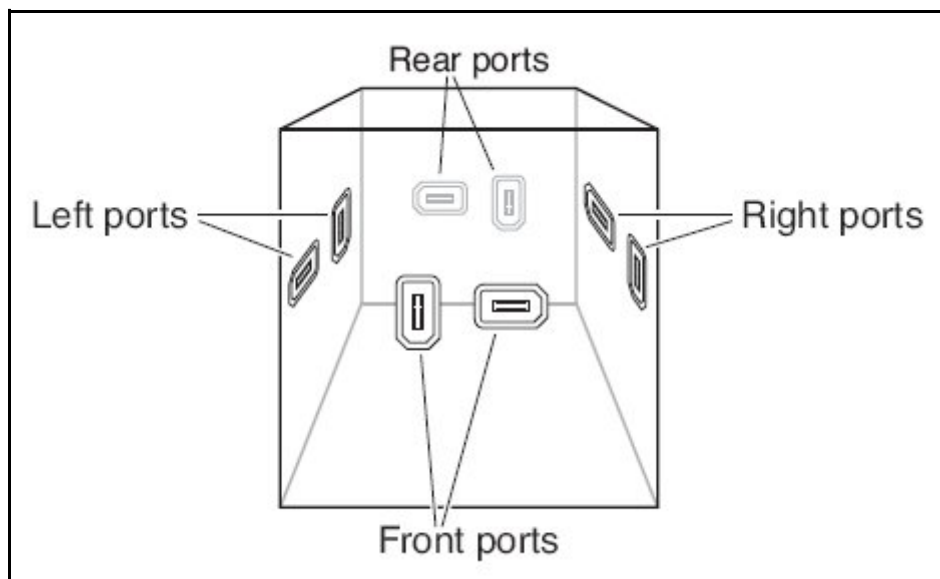


图2-3: 传统连接座的定向(从产品前方来观看)

## 项目 #2.4: 接续到单一PHY的连接座必须靠近

对于单一连接埠的连接器、PHY、保护与终端组件，最好视为一个「集中常数电路 (lumped circuit)」。1394a的最小上升时间0.5 ns，意指1 GHz波形；而1394b的最小上升时间为0.080 ns，暗示着超过6 GHz！

如果前方与后方面板上皆需要连接座，那么，有两种选择：

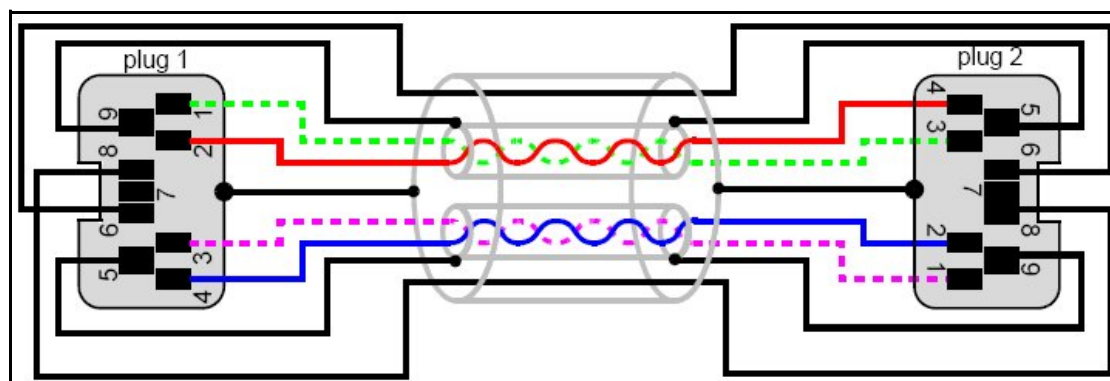
- a). 前方与后方面板的PHY各自独立(两个PHY与一个Link)，或是；
- b). 一个精心设计的远程连接座，从PHY终端线路(参阅3.2.2)到连接座的全体路径符合1394的要求( $110 \pm 6$  欧姆差动特性阻抗与  $33 \pm 6$  欧姆共模阻抗，更多细节在[2]中)。请留意这个方式在S800或是更快的连接埠，相当不容易成功。

## 2.2 点对点(end-to-end)的连接

### 项目 #2.5: FireWire 800 9对9 (1394b type 1)连接线组装的屏蔽与接地不可短路在一起

由于设计人员比较不熟悉新颖的1394b连接，对于1394b连接线的各种点对点连接，描述于图2-4、表格2-2、图2-5、表格2-3、图2-6与表格2-4。

注释：传统接口连接线(type 2 之9对6以及type 1 之9对4)将一些屏蔽与接地短路在一起。对于每种连接线形式，正确地处理是很重要的。

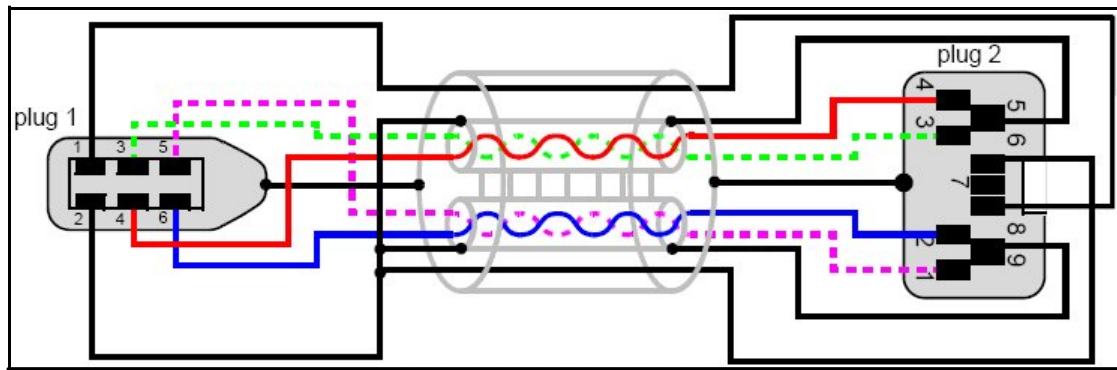


注：连接线定义在1394b。从连接头前端面来观看连接器。

图2-4: 1394b type 1 连接线组装与示意图(Beta连接头到Beta连接头)

表格2-2: 1394b type 1 (Beta到beta)的点对点连接

信号	PCB焊垫	连接座/ 连接器 名称	连接座/ 连接器 接续	连接线	连接座/ 连接器 接续	连接座/ 连接器 名称	PCB焊垫	信号
机壳地	13	机壳地	外壳 (外层)	无连接	外壳 (外层)	机壳地	12	机壳地
机壳地, HF到逻辑 接地	11	连接线 屏蔽地	内壳 (内层)	外壳 (外层)	内壳 (内层)	连接线 屏蔽地	10	机壳地, HF到逻辑 接地
TPA	4	TPA	4	信号对 #1 红色	2	TPB	2	TPB
高频到 逻辑地	5	TPA(R)	5	信号对 #1 屏蔽	9	TPB(R)	9	逻辑地
TPA*	3	TPA*	3	信号对 #1 绿色	1	TPB*	1	TPB*
逻辑地	6	VG	6	电源对 #1 白色	6	VG	6	逻辑地
无连接	7	SC	7	无连接	7	SC	7	无连接
FW PWR	8	VP	8	电源对 #1 黑色	8	VP	8	FW PWR
TPB	2	TPB	2	信号对 #2 蓝色	4	TPA	4	TPA
逻辑地	9	TPB(R)	9	信号对 #2 屏蔽	5	TPA(R)	5	高频到 逻辑地
TPB*	1	TPB*	1	信号对 #2 橙色	3	TPA*	3	TPA*
机壳地, HF到逻辑 接地	10	连接线 屏蔽地	内壳 (内层)	外壳 (外层)	内壳 (内层)	连接线 屏蔽地	11	机壳地, HF到逻辑 接地
机壳地	12	机壳地	外壳 (外层)	无连接	外壳 (外层)	机壳地	13	机壳地

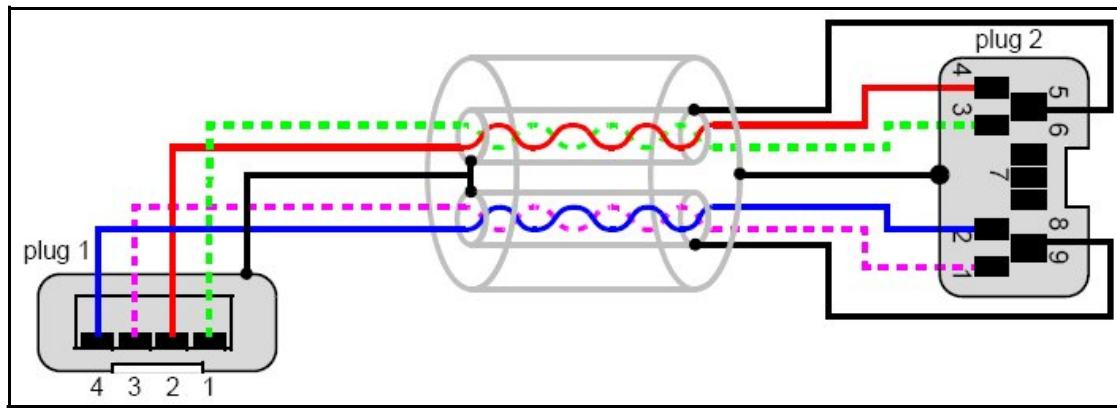


注：IEEE 1394-1995连接线(参考用)。从连接头前端面来观看连接器。

图2-5: 1394b type 2连接线组装与示意图(传统6接脚连接头到双模式连接头)

表格2-3: 传统6接脚到1394b双模式(bilingual)的点对点连接

信号	PCB焊垫	连接座/ 连接器 名称	连接座/ 连接器 接续	连接线	连接座/ 连接器 接续	连接座/ 连接器 名称	PCB焊垫	信号
				无连接	外壳 (外层)	机壳地	12	机壳地
机壳地, HF到逻辑 接地		连接线 屏蔽地	连接头 外壳	外部 屏蔽	内壳 (内层)	连接线 屏蔽地	10	机壳地, HF到逻辑 接地
TPA	6	TPA	6	信号对 #1 红色	2	TPB	2	TPB
逻辑地	2	VG	2	信号对 #1 屏蔽	9	TPB(R)	9	逻辑地
TPA*	5	TPA*	5	信号对 #1 绿色	1	TPB*	1	TPB*
逻辑地	2	VG	2	电源对 #1 白色	6	VG	6	逻辑地
FW PWR	1	VP	1	无连接 电源对 #1 黑色	7 8	SC VP	7 8	无连接 FW PWR
TPB	4	TPB	4	信号对 #2 蓝色	4	TPA	4	TPA
逻辑地	2	VG	2	信号对 #2 屏蔽	5	TPA(R)	5	高频到 逻辑地
TPB*	3	TPB*	3	信号对 #2 橙色	3	TPA*	3	TPA*
机壳地, HF到逻辑 接地		连接线 屏蔽地	连接头 外壳	外壳 屏蔽	内壳 (内层)	连接线 屏蔽地	11	机壳地, HF到逻辑 接地
				无连接	外壳 (外层)	机壳地	13	机壳地



注：IEEE 1394a-2000连接线(参考用)。从接头前端面来观看连接器。

图2-6：1934b type 3连接线组装与示意图(传统4接脚接头到双模式接头)

表格2-4：传统4接脚到1394b双模式(bilingual)的点对点连接

信号	PCB焊垫	连接座/ 连接器 名称	连接座/ 连接器 接续	连接线	连接座/ 连接器 接续	连接座/ 连接器 名称	PCB焊垫	信号
				无连接	外壳 (外层)	机壳地	12	机壳地
			无连接	外部 屏蔽	内壳 (内层)	连接线 屏蔽地	10	机壳地, HF到逻辑 接地
TPA	4	TPA	4	信号对 #1 红色	2	TPB	2	TPB
逻辑地		外壳 (shell)	接头 外壳	信号对 #1 屏蔽	9	TPB(R)	9	逻辑地
TPA*	3	TPA*	3	信号对 #1 绿色	1	TPB*	1	TPB*
				无连接	6	VG	6	逻辑地
				无连接	7	SC	7	无连接
				无连接	8	VP	8	FW PWR
TPB	2	TPB	2	信号对 #2 蓝色	4	TPA	4	TPA
逻辑地		外壳 (shell)	接头 外壳	信号对 #2 屏蔽	5	TPA(R)	5	高频到 逻辑地
TPB*	1	TPB*	1	信号对 #2 橙色	3	TPA*	3	TPA*
			无连接	外壳 屏蔽	内壳 (内层)	连接线 屏蔽地	11	机壳地, HF到逻辑 接地
				无连接	外壳 (外层)	机壳地	13	机壳地

### 3. 连接埠设计

有一些不错的 1394 连接埠设计应用指引(application notes)。尤其 TI 的 EMI [11]、跑线布局 [12]以及 LSI 的 FW323 [13]设计指引相当棒。FireWire 系统的每位设计者务必要熟悉这些文件。以下很多是从这些应用指引文件中所引用的。

#### 3.1 界面(Interfaces)

所有的接口规格，运用于设备装置的进入点和退出点。而且，接口规格在其它地方也是有效用的。这些点的认定有如图3-1中的TP2与TP3。规格假设所有的测量是在搭配的连接器对进行，而非来源端与目的地端。至于TP1与TP4是执行者所使用的参考点，用来指定厂商零件。特别是PHY IC将TP1视为传送，TP4为接收。

对于所有连接的参考点是机柜与连接线屏蔽之间切换的TP2与TP3。如果在机柜屏蔽之内存在传输线的部分，它将被视为相关传输网络或是接收网络的一部分，而不是电缆设备的部分。

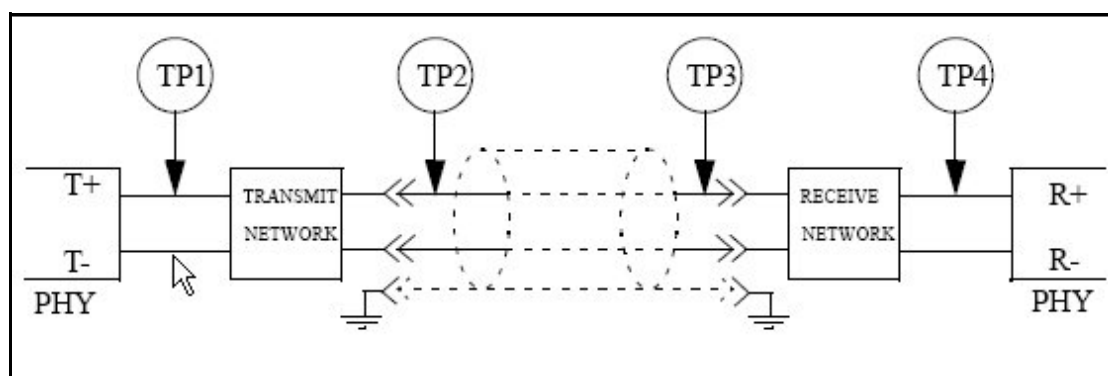


图 3-1：测量点(连接显示的一半)

注释：请勿搞混了“TPn”与“TPx”，n是数字1~4，x是A或B。TPn的涵义是测试点，而TPx则是指对绞线(twisted pair)信号

#### 3.2 连接器/PHY配线

##### 项目 #3.1：连接器到PHY的配线越短越好(TP1到TP2 与 TP3到TP4)

由于TPA与TPB信号对载送着非常高速的信号，对于高速电路与到外部组件的接口的实现，必须拥有相当卓越的设计实务。连接器/PHY 接线的阻抗需求必须满足1394b的要求(整理如下作为参考)。

表格 3-1：1394b 接收器特性

参数	S400 <sup>β</sup>	S800 <sup>β</sup>	S1600 <sup>β</sup>	单位
输入阻抗测试条件:				
TDR 上升时间	100	100	50	ps
Exception window <sup>a</sup>	700	700	700	ps
在 TP3 输入阻抗:				
Through connection <sup>b</sup>	110 ± 20	110 ± 20	110 ± 20	欧姆

At termination <sup>c</sup>	110 ± 10	110 ± 10	110 ± 10	欧姆
-----------------------------	----------	----------	----------	----

表格 3-1: 1394b 接收器特性(续)

参数	S400 β	S800 β	S1600 β	单位
差动偏移(Differential skew)	5%	5%	5%	UI
共模输入阻抗	>550			欧姆

<sup>a</sup> 在Exception-window之间, 没有单一的阻抗漂移(impedance excursion)在TDR上升时间规格的两倍期间要超过Through-connection阻抗公差(或说阻抗容忍度)。

<sup>b</sup> Through-connection阻抗透过配对连接器描述阻抗公差。这个阻抗公差大于终端阻抗或是连接线阻抗, 原因是连接器的技术所限制。

<sup>c</sup> 为了终端, TP3的输入阻抗必须沿着电气参考面纪录4.0ns, 这个电气参考面系由接收端的连接座所决定的。

注释: 1394双模式与FW400连接埠在TPA以及TPB信号对上有传送器与接收器, 因此, 接收器的输入阻抗规格适用于两信号对。

### 3.2.0.1 终端(Termination)

TPA信号对有110欧姆差动终端, 尽可能接近PHY; 终端的中心点接到该连接埠的PHY偏压输出, 并电容性到信号地(PHY上的每个连接埠必须有一个独立的偏压输出, 这乃是必要的, 可以防止某一连接埠的短路波及到其它连接埠不能动作)。

#### 项目 #3.2: 确保TPBIAS去耦合电容(decoupling capacitor)有正确的数值

PHY的tpbias输出必须使用0.33 μF去耦合电容接到地端, 除非是TI的PHY。TI PHYs需要一个1.0 μF电容器接到地端, 确保在最坏情况下速度信号的场合, tpbias电压上的涟波会最小; 此点在TI的设计上是必要的, 可以维持tpbias驱动器的稳定性。当采用非TI的PHY时, 则使用较低的数值, 来迎合1394a对于tpbias起动与失效的时序规范。

### 3.2.0.2 TP EMC/EMI保护

#### 项目 #3.3: 限制FW400最少的共模扼流圈来通过EMC规范

FW400连接埠也许需要高速的共模扼流圈(common mode choke), 特别是PHY到连接器的跑线距离较长或是接近信号源时。这时候每个信号对必须使用各别的组件来限制TPA以及TPB之间的串音(crosstalk)。这个扼流圈会让较低的共模信号通过(但是移除了高频的共模信号)。总之, 此举也意味着在100 MHz的频率点, 共模阻抗低于165欧姆, 差动阻抗低于15欧姆。

产品装置必须采用最少的扼流圈数量来通过必要的EMC测试。设计上必须以一些数值来预期评估EMC兼容性(比如说, 村田DLP11SN从67欧姆起始, 其它厂商的组件可能在90欧姆、120欧姆、160欧姆等), 还有完全没有使用共模扼流圈的状况。设计上的可能办法之一, 就是让跑线可以使用共模扼流圈或是0欧姆的电阻。

### 3.2.0.3 瞬时保护(Transient protection)

#### 项目 #3.4: 在电源提供端提供瞬时保护电路来防止Vg迟接对于PHY的伤害

电源供应端在PHY与连接座之间必须采用一个二极管构成的箝位(clamping)电路；这个电路提供了两种机能：

- a). 提供 ESD 的保护，让高电压排入到机壳(chassis)地；以及
- b). “VG迟接”事件的保护(之所以如此来称呼是因为VG的接续发生在VP与至少一个TPx连接完成之后才发生的话，VP的电源可能会加诸于TPx信号)。请留意这个机能在某处让机壳地与信号地之间有一个低阻抗连接(参见项目#3.8)。

高端的箝位二极管采用额定 3.6V 的齐纳二极管，经由 330 欧姆限流电阻偏压在 3.3V 电源(其它的电源来源可能要使用合适的电阻值)。对 BAV99 二极管来说，这个方式提供额定 2.4V、最糟 2.1V 之 ESD 与 VG 迟接之轨道途径。依此，允许 0.6V 的二极管压降，此举将许可 FireWire 信号直至 2.7V 也不会遭致信号整合性(signal integrity)的问题。在信号对上的 VG 迟接事件将会透过齐纳二极管回流到地端。VG 迟接事件可能长持续时间，意味着 VP 电源供应的返回路径；因此，电流必须直接回到 VG。推荐的齐纳二极管可以持续电流 300mA 直到 2W，使得在信号对上的电压位阶低于 5.5V，也就是 PHY 组件能够忍受的范围。在更严格的压力之下，可能是 PHY 或齐纳二极管会失效。齐纳二极管趋向于短路，使得 TPA/TPB 信号对维持在 GND 端，阻止 FireWire 动作。于某些设计上也可以使用较低电压的齐纳二极管，它会在 PHY 之前先失效，增加没有必要的系统回返率(return rate)。

ESD 的发生乃是短时间事件，会从数字地排出到机壳地，然后流入大地。若是使用信号地来替代机壳地作为瞬时保护电路是可以接受的，因为信号地在连接器端电容性接到机壳地。此举仅能在 VG 途径上没有铁氧体(ferrite)时才能这么做(参考项目#3.6)。而在机壳地与信号地之间的电流连接(galvanic connection)必须为低阻抗，其频率不会被在连接器端的电容性连接所处理。

如果使用共模扼流圈，瞬时抑制线路尽可能摆置在扼流圈的 PHY 旁。在 PHY 旁有二极管的优点是让共模扼流圈能够更靠近连接器，获得更佳的 EMI 性能。

在自我供电的装置上并不会发生VG迟接的事件。瞬时保护二极管必须有很低的电容值(通常小于 0.5 pF)

### 3.2.0.4 电源与接地之界面(VG/VP)

#### 项目 #3.5: FireWire电源必须有电流限制与电流滤波

VP必须限流在1.5A，并对EMI电磁干扰做滤波处理，将系统泄漏到外围装置的噪声抑制在最低。电流限制可以选用可复式保险丝(Poly Fuse)组件，即使它的反应有点慢而有短暂的过量电流现象，依然在可以接受范围。对于EMI滤波，途径中一个介于50欧姆到1000欧姆(100MHz)的扼流圈是可以接受的，位置要靠近连接座。一个0.010  $\mu$ f 电容必须在连接座旁接到机壳地。

#### 项目 #3.6: VG 必须电容性连到机壳接地并以最小滤波(也许无)直接连到PHY信号地

VG必须使用一个0.010  $\mu$ f 电容在连接座旁AC连接到机壳地。在VG与PHY信号地之间的路径不可以有明显的阻抗，因为VG是TPB送出共模信号TPA接收的返回路径。如果实施了滤波器，其设计必须能通过速度信号(100-120ns脉冲约20mA在VG上)。通常，这就意味着在VG路径中的任何铁氧体(ferrite)，在100MHz必须为50欧姆或更低。

### 3.2.0.5 屏蔽界面(Shield interface)

### 项目 #3.7: 所有非绝缘连接埠的连接座屏蔽必须直接连到机壳地

为了这个目的, 在连接座底下必须有一片机壳地。在 1394a 以及 1394-1995 中电流隔离 (galvanic isolation) 的定义选项, 不再使用。

### 项目 #3.8: 连接座屏蔽必须直接连到系统中某处的VG

此举通常是藉由连接机壳地到系统中某处的VG。是否需要更进一步的连接与最佳的位置当属考虑到EMC互容性与噪声的免疫性时的系统设计问题。通常, 连接座屏蔽与VG之间的DC连接并不在连接器端处理; 若是基于实验性的目的可以使用0欧姆。另外, 所有的未隔离系统必须在接近连接器端将连接器屏蔽AC耦合(频率特性待决定)到VG(请阅读项目#3.6)。当发生VG迟接事件的情况下, VP偷偷通过TPx, 对于VP的回返路径就需要在屏蔽与VG之间作DC连接。

### 项目 #3.9: 需要隔离接口的系统需要使用Beta-only 1394b来连接

对于隔离连接埠(isolated ports)来说, 1394b beta-only连接是更为扎实耐用的接口。所有使用1394a以及1394-1995 “浮动PHY(floating PHY)” 电气隔离的PHY-Link界面并不鼓励。

## 3.2.0.6 跑线布局指引(Layout guidelines)

TPA/TPB信号对载送着高速差动信号以及较为慢速的共模信号(VG作为共模返回)。在信号对之间的信号歪斜(skew)或说延迟差, 是很重要的注意点。底下是一般的准则:

- a). 跑线力求对称。
- b). 尽力让贯孔(via)转换呈现对称性。
- c). 没有90度的直角式跑线。
- d). FW400路径中最多两个贯孔、FW800则为一个; 在TPA+, TPA-, TPB+与TPB-的所有信号必须有相同的贯孔数量。
- e). 在PCB上差动信号踪迹之差动信号对内信号间之延迟差(intra-pair skew)要小于10ps。
- f). PCB上支援FW400的连接端口, 差动信号对与差动信号对间之延迟差(inter-pair skew)要小于25ps。
- g). 连接器与PHY之间距离尽量缩短(与系统相依, 对1394a连接埠距离小于25mm是个好选择, 双模式连接端口则为12mm; 对适当的信号而言, 这些距离的跑线能够维持最小的信号上升时间)。
- h). 终端组件尽可能接近PHY(小于10mm, 越接近越好)。
- i). 对终端电阻与二极管, 最小化其分支长度(stub length)。
- j). 对1394连接端口信号提供半隔离的接地层(只在PHY与系统接地层相接)。
- k). 没有其它信号跨过或接近TPA/TPB信号对, 特别是不要频率线或交换式电源相关的任何信号或接地/电源层。
- l). 数字接地层必须延伸到数字信号接续到连接器的接点。机壳地层必须提供在连接器之下, 但是不可以延伸到数字信号跑线的线路板区域内。

m). 阅读并学习高速电路设计的知识。

### 3.2.1 终端(Termination)

与FW400相同, 请参阅3.2.0.1. 跑线布局(Layout)是关键。

#### 3.2.1.1 TP EMC/EMI 保护

##### 项目 #3.10: FW800连接埠必须避免使用共模扼流圈

FW800 PHYs对于共模扼流圈(common-mode choke)增加之额外阻抗与电容所引起的信号失真非常敏感。幸好, FW800 PHYs也产生非常干净的差动信号, 可以不需要一个扼流圈来消除残余的共模电流。因此, 设计者就需要非常小心让TPA/B信号对不会增加共模噪声(长度相等、从噪声源隔离等)。1394b连接器在传送1394a信号时也具备了更佳的放射控制。

##### 项目 #3.11: FW800连接器插座必须内部结合内层与外壳

若能确保连接器插座的内部结合内层与外壳, 共模扼流圈的采用就可以避免。对于所有没有使用电流PHY/Link隔离的设计, 如此做是适当的。(请留意连接器插头的内层是接续到连接线的外壳)

若是在类似设计先前的经验中显示需要共模扼流圈, 那么在设计跑线布局时可以允许共模扼流圈或一个0欧姆的电阻。如果确实共模扼流圈是必要, 那么, 一个针对DVI或是S800 1394b设计好的组件是需要的。合适的组件如日商TDK的ACM2012H-900-2P等。

#### 3.2.1.2 屏蔽界面(Shield interface)

##### 项目 #3.12: FW800 TPA与TPB彼此的屏蔽与FW400屏蔽皆有不同的终端要求

个别的信号对屏蔽在9只接脚连接座中具有自己的连接方式。TPA屏蔽必须经由一个高阻值电阻(1M欧姆或是更高)并连一个0.1  $\mu$ F电容连接到数字地, 以及经由一个0.001  $\mu$ F接到机壳地。TPB屏蔽必须直接连到数字地, 并经由一个0.001  $\mu$ F接到机壳地。VP与VG则与FW400相同。请参考3.2.0.5。

#### 3.2.2 前方面板 (远程)连接器配线(wiring)指引

##### 项目 #3.13: 确保长配线的信号整合性来支持前方面板连接器

当主要目的用于后面板连接之PHY要支持前方面板的连接时, 线路板的跑线或配线必须有效地屏蔽系统所产生的噪声, 而且, 跑线或配线的长度也必须小心翼翼来控制(请参考上面的跑线布局指引)。除此之外, 如果信号对的长度比等效上升时间(0.5ns或是约25mm)更长, 那么, 整个长度的特性阻抗必须维持在110 $\pm$ 6欧姆的范围。请留意, 额外的设计、跑线以及测试时间必须确保分外的EMC/EMI、信号劣化与阻抗匹配的要求, 均能够满足。

前方面板的连接, 并不鼓励采用针对后方面板连接应用而设计的单一PHY, 原因如下:

a). 如果连接器到PHY的距离最小化, 那将会更容易来获得一个可靠安稳的系统。

b). 连接线组装时长度的预算空间总是假定在系统中(TP1-TP2以及TP3-TP4)不会明显增加长度。这件事可能影响到整体信号衰减的预算范围。

c). 前方面板连接的应用仅有当系统就在使用者前方时才会有用处。桌上型系统可以提供这个功能，而直立系统(tower system)通常会座落在桌子底下。对于直立系统的较佳方案之一就是在整体包装中内含一个FireWire Hub装置，让使用者能够将Hub摆设在最方便或是最有用的地方。

当前方面板连接的存取是必要时，无妨考虑以下这些可能的方案：

a). 妥协于连接器的位置。或许可以将所有FireWire连接座移到侧边(比如旧款的iMac)或是善用系统的大小来使得背后的连接器更容易存取(例如新款iMac)。

b). 考虑在设计上追加另一个PHY，可以摆设在前方面板连接器旁。在后方PHY与前方PHY之间TPA/B信号线对的跑线较不敏感，毕竟其距离算是短而且在双端又有终端阻抗。此外，对于外部连接线设计没有特殊的考虑，因为所有的信号衰减预算范围可以由连接线组装来使用。

#### **一个重要的提示：**

**项目 #3.14: 若是一个系统有多个PHY而且至少其中一个PHY具有S800或更快的连接埠，那么，所有的PHYs必须是S800或是更快**

这是因为一个系统具有S800(或更快)以及FW400 PHYs，将会构成一个混合式(hybrid)总线，不能够执行于更有效率的纯Beta模式。即使PHY仅有FW400外部连接器，它也必须是一个S800(或更快)PHY，具有S800 β (或更快)的连接到其它系统的PHY。如此这般系统的使用者，只要在FW400连接埠上没有任何接续，就能够享用纯Beta模式的优点。

本页特意留为空白(This page left intentionally blank)。

## 4. 系统设计(System design)

### 4.1 PHY 的选择

于设计阶段必须与厂商重新评估所有的 PHY。以下这些检视清单，可以善加利用：

- a). 决定出 PHY 实际的参数(图 3-1 中测量点 TP1 与 TP4)。这些参数必须优于 1394 规范，这是因为规范的量测是在连接器端(图 3-1 中测量点 TP2 与 TP3)；而且，您的设计在 PHY 与连接器之间将会追加额外的电路组件而降低了信号质量。
- b). 若是能在 PHY 中纳入前述的保护功能是最好。鼓励 PHY 的厂商如此做。
- c). PHY/Link 界面(以及任何其它可能接至 CMOS 输入的双向或是输出接脚)必须藉由高电阻拉低。当 PHY 断电或是接口因 PD 信号而失效时，可以避免掉其它端 CMOS 接收器信号的过量汲取电流。
- d). 更多信息尚待决定。

### 4.2 PHY 配置的建议

#### 4.2.1 一般性(General)

**项目 #4.1：确保Power\_class的设定正确。**

**项目 #4.2：确保CONTENDER不起作用(deasserted)。**

除非软件已经备妥，节点不要角逐成为等时资源管理员(Isochronous Resource Manager)。PHY的contender接脚必须始终置为无效。

### 4.3 连结层(Link layer)建议

#### 4.3.1 PCIe 之建议

**项目 #4.3：连接PCIe CLKREQ\***

CLKREQ\* 必须连接到相关于PCIe REFCLK+/-的频率芯片启用端。频率芯片然后编程为不予理会启用(总是提供频率)或是编程为接受低态动作的请求；这要依照系统的电源管理而定。一般来说，这个信号是开汲极的设计，因此，需要一个10K奥姆的拉高电阻。

## 4.4 特定组件的建议

### 4.4.1 TI TSB81BA3

请参考第五段关于电源类别(power class)的确定与实践。

#### 项目 #4.4: TI PHY 的核心电压为1.95V

名义上的1.8V电源线DVDD-1.8以及PLLVD-1.8, 需要1.95V  $\pm$ 0.1V的电压。如果使用滤波电阻(filtering resistor), 建议采用1奥姆的数值。由于考虑到滤波电阻的压降, 1.95V LDO的输出目标该为1.96V。

#### 项目 #4.5: TI PHY 核心电压滤波使用1uF电容

TI建议在各个DVDD\_CORE电源端使用1uF的电容, 尽可能靠近组件(若是直接隐藏在下方是最好不过了), 它提供了滤波的作用。

#### 项目 #4.6: TI PHY 振荡电压可以是1.95V

虽然XI的输入在文件上说明为1.8V输入。TI证实了它可以接受1.95V的输入, 也就是说也可以从核心电压来供电。

#### 项目 #4.7: 当使用TI PHYs在中继模式时, 确保正确的PHY/LINK接脚终端方式

如果TI PHY用于中继模式时, 也就是说没有附加连结层的模式(比如说, 在前方面板上), 那么, PHY连结接口接脚的终端方式如下:

不连接: PINT, CTRL0, CTRL1, D0:D7, PCLK (1394b PHY), SCLK (1394a PHY)

透过1K奥姆拉低电阻: LPS

直接拉到GND端: LREQ, LCLK (1394b PHY)

透过1K奥姆拉高电阻: BMODE (1394b PHY)

#### 项目 #4.8: 确保TI Phys上未使用连接端口的配置与终端方式

没有使用的连接埠0或连接埠1必须配置为DS-only模式, 做法是各自将DS0或DS1经由1K奥姆电阻连接到VDD。如此可以防止过调(toning)并节省功率。

没有使用的连接埠2必须配置为DS-only模式, 做法是将LKON/DS2经由470奥姆电阻连接到VDD。如此可以防止过调(toning)并节省功率。

TPA+ 与 TPA- 接脚必须空接(若是将之连接到GND, 可能引起错误的侦测)。TPB+ 与 TPB- 必须连接在一起并直接拉到GND端。TPBIAS端子必须留为空接。

注释: 若是设计允许连接器作为一个选项(亦即相同PCB布局跑线的产品变型), 那么, TPBIAS可以经由一般1uF滤波电容接到GND端(通常是材料上的选择), 而TPB+ 与 TPB- 接脚经由55奥姆接到一个共模模式接点, 然后接续一个5K奥姆电阻到GND端(通常这也是材料的选择, 当连接埠没用到时可将TPB+/-直接连接到GND端, 亦即0奥姆)。

#### 项目 #4.9: 确保LKON/DS2正确偏压为高电位或低电位

如果连接埠2操作在DS模式或是未使用,那么,LKON/DS2必须藉由一个470欧姆电阻拉高并用一个1K欧姆的串接电阻接续到连结的PHY\_LINKON接脚。这是必要的,可以确保若是连结芯片没有供电时配置设定有正确的偏压(连结中的内部ESD保护电路作为拉低),以及LinkOn到连结的正确信号。如果连接埠2操作在双重(bi-lingual)模式,那么,LKON/DS2必须藉由一个1K欧姆电阻拉低并直接接续到连结的PHY\_LINKON接脚(没有串行终端电阻)。

请注意,此处更新了早期的建议,采用了其它拉高/拉低电阻或是串行终端电阻的阻值。

#### 项目 #4.10: 小心当TI 1394b PHY连接埠2未使用或设定于DS-only模式之场合

TI 1394b PHY上的连接埠2设定为DS-only模式是藉由一个470欧姆电阻将LKON/DS2拉高。在电源重置期间(通常仅在PHY第一次供电时发生),可以让连结层看见LKON为高电位。于是,可以引发一个软件中断。此举需要PHY层完成重置之前连结层为有效用,或许不太可能发生,然而在新系统设计中,可供作参考。

#### 项目 #4.11: 留意TI PHY最高连接端口速度在DS-only模式据称是不正确的

如果连接埠被强制在DS-only传送模式,TI PHY正确地限制连接到S400(DS);然而,PHY缓存器中的缓存器10对于连接埠的映射报告max\_port\_speed为3(S800)而非7(DS-only)。

因此,测试与生产的软件需要解决这个问题。这个问题在Rev D中已修正。

#### 项目 #4.12: 在TI PHYs的双模式(bi-lingual)连接埠使用峰化电感器

对于连接到双模式连接器的TI PHY连接埠,建议采用峰化电感(peaking inductors),当操作在Beta模式时,可以打开传送波形的眼状图。在MCM封装PHYs的场合,强烈建议采用峰化电感来维护信号整合性,当然对所有的PHYs也建议。建议18nH的电感,该电感必须与55欧姆的终端电阻串接(在电阻与共模偏压/终端点之间)。

#### 项目 #4.13: 在TI PHYs上连接PLLVD\_33到AVDD\_3\_3电源线

这些在组件之中连接在一起。

### 4.4.2 TI XI02213 (Cheetah Express, 又称 Chex)

#### 项目 #4.14: 确保满足TI PHY的建议

TI XI02213内建一个TI PHY。所有对于TI PHY的建议皆适用于Chex。

#### 项目 #4.15: 连接Chex OHCI\_PME# 到一个GPIO,求得最佳化的电源管理

藉由连接这个信号到一个GPIO(比如说,南桥芯片上),即使Chex与其PCIe连接处于频率关闭的低功率模式下,PHY事件(譬如说新的连接)也会引发一个软件中断。软件即可复原到全功率状态来采取适当的行动。由于该信号是开汲极驱动,故,需要一个10K欧姆拉高电阻。

#### 项目 #4.16: 确保Chex GRST#信号仅在连结层电源周期(power cycle)起效用

这是一个平台重置(platform reset), 仅适用于连结层电源信号处于电力周期的时刻(特别是, 仅在EFI将初始化组件之前的短暂时间)。具体地说, 它不可在睡眠/唤醒周期起效用。

#### 项目 #4.17: 让Chex的GPIO没有连接

这点适用于GPIO 0 - GPIO 7。

#### 项目 #4.18: 将Chex CYCLEOUT作为一个测试点

当在进行侦错调查时, CYCLEOUT是一个很有帮助的信号, 作为示波器的触发用。使用一个47K奥姆的拉低电阻, 建构一个方便触发的测试点。

#### 项目 #4.19: 连接VDD\_33\_AUX 到 3.3V

VAUX从D3cold并不支持, 而且AUX电源侦测位也是硬件接到逻辑0。然而, 将VDD\_33\_AUX连接到3.3V可以有最低的功率耗费。

### 4.4.3 德州仪器TSB82AA2 1394b 连结组件

#### 4.4.3.1 德州仪器连结实践之要求

##### 项目 #4.20: 确保满足TI连结组件在实践上的要求

内部1.8V电压调节器的使用与否对于整体功率消耗, 并无多大差异。若是没有使用, 那么, 1.8V经由1K奥姆电阻提供到REG18端子与REG\_EN\*端子。此时, 无须外部的PCI/OHCI配置ROM内存, SCL与SDA必须经由220奥姆电阻接到地端。PCI\_RST\*必须直接连到PCI\_RST\_L, 它不需要SMC的控制。

#### 4.4.3.2 睡眠模式电源需求

##### 项目 #4.21: 确保TI连结组件在睡眠模式期间提供电源

当电源从组件移除时, TI的连结组件系列并不会保留GUID的设定。对于软件来说, 在系统电源重置时 GUID设定一次是很重要的, 然后无须去更新, 否则, 安全漏洞会被开启。因此, 在睡眠期间有必要保留电力给组件, 即使是单连接埠设计也是一样。相同的道理, 在AC电源首次供应电源时, G\_RST\*也必须使用一次, 尔后就不需要了。

##### 项目 #4.22: 确保满足G\_RST\*的时序要求

G\_RST\*信号的时序要求需要信号启用(维持在低电位)至少2ms, 而信号的上升时间低于4.3ms。

一般来说, 如此可以避免在电源在线使用RC电路。它必须连接到Power OK或是类似的信号, 至少有2ms的期间。

##### 项目 #4.23: G\_RST\* 信号是异步(asynchronous)

关于G\_RST\*信号与PCI频率的时序要求, 在组件数据规范中描述有错误。G\_RST\*是一个异步信号; 相对于数据规范中的指定要求, 它可以在PCI频率供应之前将信号失效(deasserted)。

#### 4.4.4 LSI FW643

##### 项目 #4.24: 确保VAUX\_DETECT在FW643上拉高电位

封装接脚VAUX\_DETECT必须拉高允许将永久型重置(sticky reset)与非永久型重置分开来。否则, 导致PERSTN也将重置永久性领域(sticky domain)的结果, 比如说, 遗失GUID。预设上VAUX\_DETECT是拉低, 因此, 必须藉由一个外部10K欧姆电阻来拉高。

##### 项目 #4.25: 确保FW643的电源重置与1.0V调节电源一致

FW643内部有一个电源开启重置PUR(Power Up Reset)单元来保障正确初始化, 而且石英振荡电路在供电时稳定动作。这个内部的PUR单元无须电压上升。PUR会监视VDD10的电压上升并且产生一个内部重置信号用来重置其内部正反器与停止其内部计数器直到VDD10上升到其峰值电压的40%~70%(上升的门坎)。在这段时间, PUR输出维持在低电位并持续于PUR时期在低电位状态。一旦时间来到, 输出切换到逻辑高电位而内部的计数器也在那时候关闭。前端有一个内建迟滞(hysteresis)以及一个滤波电容器来排除VDD10电压上升时的噪声。这个单元也侦测VDD10的电压下降。当VDD10下降到一定的位阶之后(由下降门坎来指定), PUR的输出将进入低电位。

如果FW643的内部调节控制器(以及相关的外部电路)系用来产生1V供应电源, 在FW-RESET\_N输入端无须额外电路。其内部有一个拉高电阻, 可以保持不连接。

无论如何, 如果VDD10与VDD33的电源供应是独立控制, 使用者需要保障VDD33的电源达到它的必要电压位阶(3.3V +/- 10%), 而且是在达到VDD10电源40%电压位阶之前, 如此才能保证有足够的时间让石英振荡器动作稳定。或者是, 低电位动作FW-RESET\_N输入端子直到3.3V电源到达其必要的电压位阶之际才起效用。如此将拉长电源开启重置来确保石英振荡器的稳定动作。

#### 4.4.5 LSI FW323

##### 4.4.5.1 LSI整合PHY/Link的实践要求

##### 项目 #4.26: 确保满足LSI整合PHY/Link组件的实践要求

CNA与LPS输出没有使用到, 不可以连接。一个外部的OHCI配置ROM组件也不需要, ROM\_CLK以及ROM\_AD接脚必须接续到地端。起效用的配置接脚(一般是CARDBUSN与一个或多个PC0, PC1与PC2)必须经由10K欧姆电阻连接到VDD。PCI\_RST\*必须直接连到PCI\_RST\_L, 它不需要SMC的控制。

##### 4.4.5.2 睡眠模式的电源要求

##### 项目 #4.27: 对于LSI整合PHY/Link的组件, 确保在睡眠模式期间供应电源

若是电源从组件上移走时, LSI FW323组件系列并不会保存GUID设定。软件在系统电源重置设定GUID一次之后无须更新是很重要的; 否则, 会开启一个安全漏洞。因此, 有必要在组件睡眠期间依然保留电源, 即使是单一连接埠的设计也是一样。在AC电源首次供应电源时, RESETN也必须使用一次, 尔后就不需要了。

##### 项目 #4.28: 确保PME对于LSI FW323 v129. 的软件是唯一可识别的

在这个组件上并无LinkOn接脚，软件发现组件在低功率模式下的新连接、断接或类似的重  
大事件，唯一的办法就是透过PCI PME。软件能够分辨出这个PME中断与其它的PME中断是很  
重要的，所以无须去轮询毫不相关的PME中断(此事牵涉到唤醒组件的PCI频率部分、初始  
化、读取缓存器、发现没有改变再将组件弄回到睡眠状态)。实践的方法是连接PME中断到  
专用的GPIO端子，或是确保PCI总线没有被任何其它组件所共享，以如此桥接的方式让  
FW323的PME中断可以与其它组件的PME中断区分开来。专用的GPIO是首选的方案，所以驱动  
程序(driver)可以同样的方式来处理一系列的组件(或装置)。

## 4.5 PHY/Link 界面

PHY/Link接口必须遵循1394a Annex J1或是1394b第17条中的规范。若是使用1394b PIL/FOP接口，也必须适用1394b第18条。

串接终端阻抗(一般为22欧姆)在某些设计中是有所帮助的，却也必须去留意信号反射的问题(请参阅项目#4.30：如下)。

### 4.5.1 额要的要求

#### 项目 #4.29：在PHY/Link 接口上所需的内部或外部电位拉低

介于连结(Link)、PHY与其它系统零件的所有信号都必须经由一个高阻值电阻拉低到地端。即使当连结、PHY(或其它系统零件)电源中断时，这个拉低电阻也必须有作用。若是没有这个措施，信号可能飘移到CMOS的开关领域而造成过多的功率消耗或是呈现不稳定的动作。建议的方法是在PHY与连结双方都包含内部的信号拉低；如果内部没有拉低，那么，外部的拉低就有必要了。

#### 项目 #4.30：若是PHY/Link传输延迟大于1ns，需要特殊的终端方式

若是PHY/Link接口的传输时间大于1ns，那么频率周期的信号反射可能在下一个频率被组件所看见。特别是，组件可能误解CTRL[1:0]与DATA[7:0]信号。这个效应在PHY/Link界面大于1.4ns的系统上常见到。当在对等式端装置使用22欧姆的串行终端电阻时，这个效应更为严重。除此之外，当连结返回接口信号给PHY时，这个效应也与连结端所收到PC1k相关；此时，CTRL以及DATA在连结接口上是同步输出。连结以LC1k驱动这些信号，但是在返回接口信号到PHY之后，连结会利用PC1k来取样相同的信号。

这个效应最有可能在传送一个MORE\_INFORMATION周期之后，当连结返回界面给PHY时发生。这个误读会导致连结看见一个虚幻(phantom)或是虚假的RECEIVE周期、GRANT周期或是STATUS周期。一个虚假的RECEIVE周期通常无害(一个单周期小封包)。一个虚假的GRANT周期在当PHY控制接口时，连结传送另外封包，因而造成PHY遗失一些或所有封包。一个虚假的STATUS周期可能导致连结误动作，因为可能D[0:7]不止一个设定(在有效的STATUS周期仅有一个位设定)，特别引起了不公正(延迟异步封包)或是等时相位的混乱(连结在传送一个等时封包时延迟一个周期)。底下表格整理了所有连结可能见到的虚假周期。

**表格 4-1：MI 周期反射引起的虚假周期(Phantom cycles)**

D lines	传送之 MORE_INFO 周期 (CTL = 11)	取样之 Status 周期 (CTL = 01)	取样之 Grant 周期 (CTL = 11)	取样之 RX周期 (CTL = 10)
[0]	Format (Beta = 1)	PH_BUS_RESET_STAR T	Grant Format (Beta = 1)	
[1]	PH_NEXT_EVEN/PH_NEXT_ODD/ PH_CYCLE_START_REQ	PH_ARB_RESET_ODD	Grant Type = Async/CS/Immediate	

[2]	PH_ISOCH_REQ_EVEN/ PH_CURRENT/PH_NEXT_ODD	PH_ARB_RESET_EVEN	Grant Type = Isoch/CS/Immediate
[3]	PH_ISOCH_REQ_ODD/ PH_CURRENT/PH_NEXT_ODD	PH_ISOCH_ODD	Grant Type = Async/Immediate
[4]	EOS	PH_ISOCH_EVEN	-
[5]	Speed = S400/S800	PH_SUBACTION_GAP	Grant Speed = S400/S800
[6]	Speed = S200/S800	-	Grant Speed = S200/S800
[7]	-	-	-

#### 4.5.2 信号布线指引

必需很小心来避免介于PCI信号与FireWire高速信号之间的串音(crosstalk)以及从PCI信号的地线波动(ground bounce)。确保PCI接口充分接地，并且尽可能远离FireWire接地。

## 5. 连接电源(Cable Power)

### 5.1 简介

FireWire 的主要优点就是能够从总线提供电源给装置。当在设计装置时，就要考虑到产品是否要成为电源取用端(从总线上来汲取电源，或是对内部电池充电)、电源供应端或是电源中继端，并判定在各种不同的功率状态中是否能够提供以上这些功能。

对于总线的明确考虑是要确保对于所有电源取用端的要求可以足够的供应。每个装置允许它的 PHY 始终从总线，而且可以吃足 3W。装置在尚未取得电源管理员(power manager)的许可之前，是不能耗用这些瓦数的。当电源管理员确定有足够电力时，即会送出「LinkOn」PHY 命令到电源取用端。在总线重置上提供有限量的状态来让电源管理员来评估电力需求与可用性。

目前，电源管理员尚未被实践。

对于电源分布的主要参考是1394 TA文献 “Power Specification Part 1: Cable Power Distribution” TA 1999001-1 (October 5th 1999); 而电源管理的主要参考是1394 TA文献 “Power Specification Part 3: Power Distribution Management” TA1999001-3 (January 15, 2000)。然而，与在本文件中的建议有明显的差异。这些差异整理如下。

注：一个装置通常会编入一个PHY，并在总线上呈现出一个节点。如果装置编入了多个PHY，那么，这些法则独立适用于各个PHY(每个节点)。

### 5.2 FireWire 电源检视清单

#### 项目 #5.1: 所有在保护二极管与连接器之间的零件与跑线必须能够承受33V或更高电压

外部电源供应端可能提供到30V的电压。

#### 项目 #5.2: PHY的动作不可受到电源供应端触发的电流限制所影响

PHY的设计必须确保即使监管的电流限制器触发，依然可继续正常动作。请注意，若是电源准备不足将会引发总线重置，当电流限制器重复性触发与重置，PS状态(连接电源状态)将会改变。

#### 项目 #5.3: 电源供应端的系统操作不可以受到电源取用端的入侵电流(inrush)或短路所影响

当一个FireWire装置接续到电源供应端，或是突然耗费额外的电力时(比如说，硬盘马达开始运转之际)，入侵电流可能在电源供应上引起电压的下降。如此一来将会影响到系统部份的动作。某些装置的设计忽略了入侵电流的限制，若是一个短路的FireWire装置接续上时，会遭遇到更为严重的问题。

针对这个问题，通常是在系统电源架构中做保护。同时，在电源供应上串接限流电阻是有帮助的。连接保险丝在短路的FireWire装置接续上会有几秒钟的短路，限流电阻会限制电流让AC/DC提供足够久的时间来让保险丝烧掉。请留意此电阻并非可变电阻，设计者必须使用正确的电阻值。至于使用怎样的电阻与阻值，则要看系统的设计而定。

若是在VP与VG之间没有这个电阻，短路会毁损电源配接器而造成系统挂掉。然而，初选的电阻值可能在硅熔保险丝(polyfuse)烧掉之前就损坏。在这种场合之下的最后办法就是采用低电阻值组件(0.025欧姆1W)并使用0.5A的硅熔保险丝(polyfuse)。通常，多态硅熔保险丝(polyfuse)维持一个负载在它的2倍额定值，电阻也必须能够承受这个负载。

#### 项目 #5.4: Power Class 4的电源供应端必须实践适当的CSRs

任何宣告为Power Class 4的电源提供节点，必须实践Power Management CSRs，用来表示其电源提供的能力。这些定义在[6]。

#### 项目 #5.5: 从接口取得电源供应的便携式装置与外围产品必须宣告它的电源类别

当装置从总线汲取电源时，必须宣告其power class 4, 6 或7(从总线上总耗费低于3W, 7W或10W)。在power classes 6或7，它必须支持LinkOn；同时在LinkOn收到之前，遵守耗费低于3W的原则。若是一个节点需求超过10W，比如说对电池充电，不是(a)宣告为Class 4使用低于3W在PHY、连结与管理目的，就是(b)采用Class 6使用低于7W在PHY、连结与管理目的；并支援LinkOn。在这两者场合下，它就必须采用Power Management CSRs来宣告其需求高至45W，并允许其电流耗费由电源管理员(power manager)来控制。

请参阅5.4.4节的范例。

#### 项目 #5.6: 电源取用端必须实践电源管理CSRs.

定义于[6]中。

### 5.3 FireWire 装置指引

PA1) 当装置接续到主电源，它以底下方式提供电源到总线：

- a). 当作主要电源供应端，在大于或等于20V时提供20W(推荐24-26V)，宣告本身为power class 1或是
- b). 作为一个辅助电源供应端，在12-15 V提供8W，宣告本身为power class 4(对于多连接端口装置)或是power class 0(单连接端口装置)，并尽可能从总线供电给PHY。

PA2) 当装置连接到主电源时，它提供电源到总线上作为辅助电源供应端(Alternate Power provider)，提供12-15V之8-16W输出，并宣告为power class 4(多端口装置)或power class 0(单端口装置)。

更高的功率供应(20W ~ 45W)就留给外部的Hubs装置。

当装置连接到主电源时，即使在“睡眠(sleep)”或是“关闭(off)”，也必须供应电源到总线上。

PA3) 当单连接端口装置从电池取得电源时，它不外乎：

- a). (可携式装置)当扮演提供电源到总线作为辅助电源供应端(power class 0)，在受保护的电池供应8W(通常介于9.25V~15V)；或是，
- b). (行动式装置，永不会连接到主电源)绝对不会供应电源到总线上。

PA4) 当多连接端口装置从电池取得电源时，它不外乎：

- a) (可携式装置)当扮演提供电源到总线作为辅助电源供应端(power class 4)，在受保护

的电池供应8W(通常介于9.25V~15V),即使处于“sleep”或是“off”也尽可能从总线供电给PHY;或是,

b) (行动式装置,永不会连接到主电源)绝对不会供应电源到总线上。

PA5) 当装置从总线汲取电源时,必须宣告其power class 4, 6 或7(从总线上总耗费低于3W, 7W或10W)。在power classes 6或7,它必须支持LinkOn;同时在LinkOn收到之前,遵守耗费低于3W的原则。若是一个节点需求超过10W,比如说对电池充电,它不是宣告为Class 4使用低于3W在PHY、连结与管理目的(a),就是采用Class 6使用低于7W在PHY、连结与管理目的(b);并支援LinkOn。在这两者场合下,它就必须采用Power Management CSRs来宣告其需求高至45W,并允许其电流耗费由电源管理员(power manager)来控制。

PA6) (未来的需求)一个从总线耗电超过3W的节点,必须包含电源管理软件(Power Management Software)。如此可以避免依赖不存在或不合适的电源管理员。若没有电源管理员,会带来不良的使用者经验。

PA7) 任何时刻一个节点更改power class时,它藉由一个短总线重置来宣告。需要小心来处理电源供应的顺序关系(在改变power class来宣告可用之前供应电源,仅在改变power class来宣告缺乏可用之后移除电源)。

PA8) 主要电源提供端(Primary Power Providers)的保护电路必须包含各个连接埠的二极管保护来(a)防止总线供应电压的耗费以及(b)缓和更高电压电源供应端的超控,并在每个连接埠采用可重置保险丝来限制电流的汲取。对于所有多连接端口电源供应端,保护电路必须包含各个连接埠的可重置保险丝来限制电流的汲取。各个连接埠必须供应但不得超过1.5A。请留意这个必要的保护措施是用来保护来自连接埠与内部供应另外连接埠的电流加和。除此之外,对于所有电源供应端必须内建电流保护,确保任何VP线的短路不会影响到内部的电源。请阅读底下参考电路。

PA9) 任何宣告Power Class 4的节点与其电源供应(亦即辅助电源供应端)必须实践CSRs,乃是用来表示其电源供应能力(Power Class 4的含意就是去读取CSR来知道机能)。

PA10) 设计之际必须让PHY即使电流限制启动时依然可以动作。请留意,缺乏电源的供应将频繁引起总线重置,当电流限制器反复启动与重置之际,“PS”(Cable Power Status)的状态将会改变。

PA11) 一个外部电源(power brick)藉由电源的存在而被侦测到,但是,缺乏在连接埠上的接续。一个节点可以从一个外部电源(power brick)来汲取它所能供应的电力。

PA12) 任何多端口装置没有各个连接埠保护二极管时(一般为Power Class 4节点),其设计必须若是没有本地电源时(比如没插电等)至少可以让PHY从总线取得电源。若是装置没有中继数据,也不能让电源通过。系统的设计是允许违反这条规则的,其条件是没有连接到主电源;这种情形被视为非正常模式的动作。

## 5.4 电路的范例

本节将展示各种应用的电路范例(包含了电源供应,PHY Vdd从总线取电源以及所有的保护电路)。请留意这些电路仅是功能上范例而非正确的实践方式。特别在高电流系统中并不使用这么多数量的二极管,毕竟顺向电流的功力消耗是个问题。使用极性侦测的开关可能是较佳的选择。

附件10扼要地描述一个假定(hypothetical)的集成电路，它可以用来实践所有底下的范例。

### 项目 #5.7: 确保CPS正确地连接

可从连接线电源取得电力的多连接端口系统必须将CPS的接点让各连接埠的VP或接在一起，确保连接线电源正确报告。系统在某些场合下当连接线电源存在却不能对PHY供电之际，就必须从隔离二极管的电源供应端取得这个输入，用来防止增量(pump-up)电流进入没有供电时的PHY（虽然任何的这类电流经由高值的串行电阻而非常小）。

桌上型计算机、服务器或是Hub主要电源供应端。

一般固定的装置可以是主要电源供应端。如此可以让电力的管理更为容易(如上)，若有必要，每连接埠可输出到45W。电源领域的隔离是藉由每连接埠的二极管。只要主电源可供电，即会提供给PHY与连接埠(当装置插入时)；即使它在睡眠模式中…

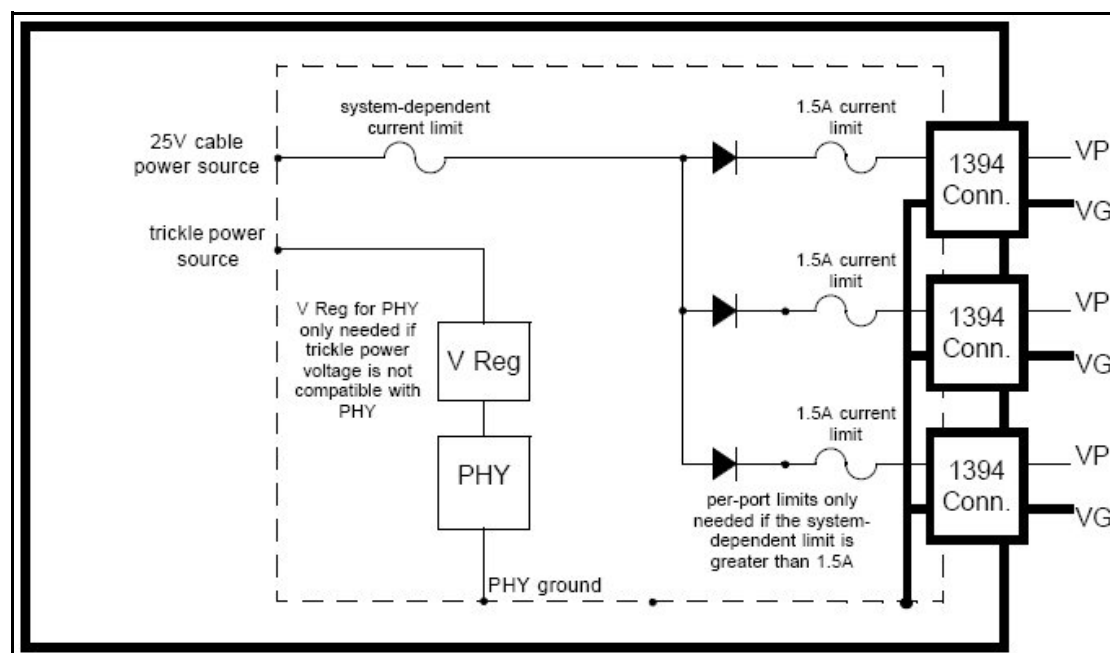


图5-1: 一个多埠电源供应端, class 1/2/3 节点

如果装置能够供应大于 1.5A 的能力，由于 1394 规制经由各个任何连接埠的消耗不会超过 1.5A；因此，在每个连接埠可以使用 1.5A 的电流限制器(若是经由连接埠耗费超过 1.5A，1394/1394a 的速度信号会失效)…

### 5.4.1 桌上型系统辅助电源供应端(Desktop alternate power provider)

另外一个方法建构桌上型系统是作为一个辅助电源供应端，其中各个连接埠并无二极管的隔离。这个装置在插入之际，即使处于睡眠或是关闭(off)状态，仍然会提供电源。由于它并没有阻止电源从一个连接埠流动到另外连接埠，因此，它也就必须保证有总线电源存在的任何时刻，PHY 可以中继数据。换句话说，PHY 必须从总线上取得电源，如底下图 5-2 所示。

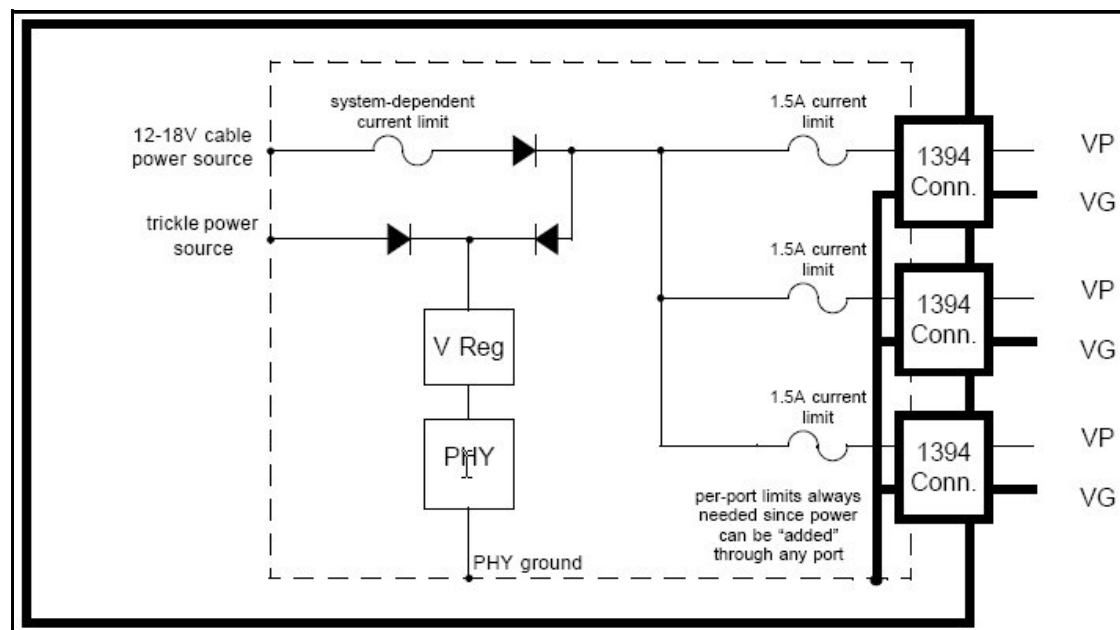


图5-2: 一个多埠电源供应端，class 4节点

当提供本地电源时，电力就供给 PHY 与三个连接埠。并无电源域(power domain)的隔离：电源可在连接埠之间流动。

当本地电源并未提供电力，PHY 会采用总线电力来动作。

由于范例装置具有两个或更多连接埠，在每个连接埠上需要 1.5A(min)的电流限制器。这种措施提供了调节式的电源保护(若是无此保护，某个连接端口上的故障装置可能在其它连接端口或是系统耗费过多的电力)。电流限制器至少必须 1.5A，然而 1394 规制经由各个任何埠的消耗不会超过 1.5A(若是经由连接埠耗费超过 1.5A，1394/1394a 的速度信号会失效)。

一个具有如此设计的节点，必须确保对于中止埠不会通过(pass through)电力。

### 5.4.2 桌上型主要电源供应端具有备用通过电力

若是结合以上两个设计的方式也是可行的，它允许一个节点在主电源可供利用时作为主要电源供应端；而当主电源关闭时，仍然可以通过电力与数据。

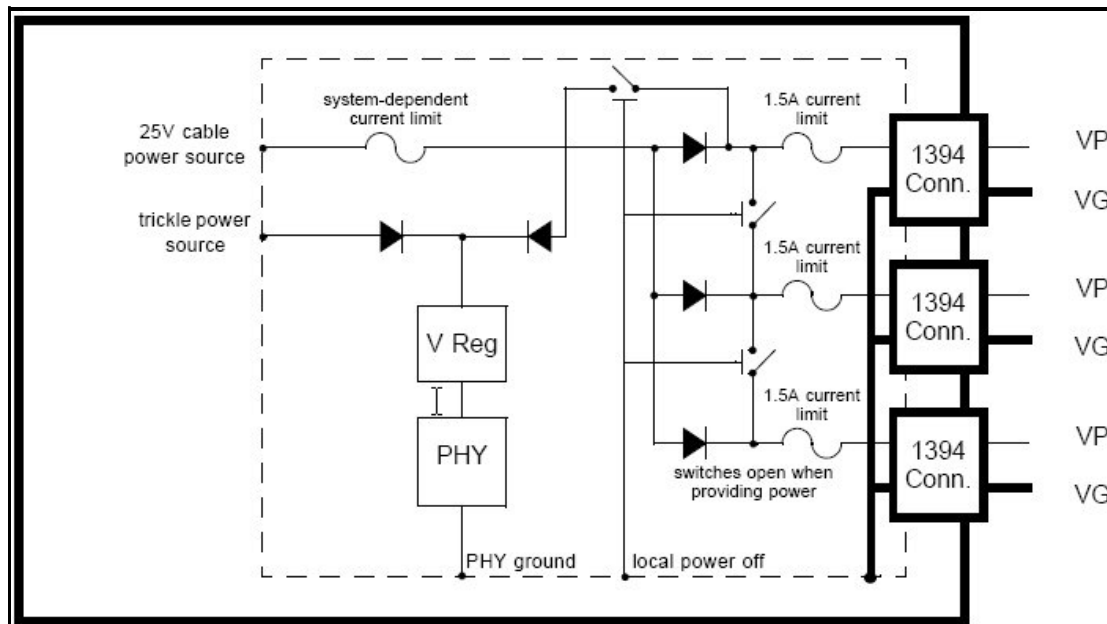


图5-3：一个多埠电源供应端class 1/2/3 节点，当无电力可用作为class 4

此装置当插入时提供电力到 1394，实时在睡眠模式也是如此。

当供应本地电源，三个开关打开。电源供应到 PHY 与三个连接埠。藉由三个各连接埠二极管来隔离电源域。

当未供应本地电源，三个开关关闭。电力在连接埠之间中继而 PHY 使用总线电源动作。请留意动作必须一致，当电源供应或撤离时，经由连接埠的电力取用端就不会见到电源供应的中断。当本地电源可供应时，开关打开(但在总线重置前宣告 power class 1, 2 或 3)；在移除本地电源之前开关关闭(但在总线重置后宣告 power class 4)。

由于装置具有三个或更多连接埠，每埠需要 1.5A(min)电流限制器。这种措施提供了调节式的电源保护(若是无此保护，某个连接端口上的故障装置可能从其它两个连接埠上的电源供应端耗费过多的电力)。电流限制器至少必须 1.5A，然而 1394 规格经由各个任何埠的消耗不会超过 1.5A(若是经由连接埠耗费超过 1.5A，1394/1394a 的速度信号会失效)。

一个具有如此设计的节点，必须确保对于中止埠不会通过(pass through)电力。

### 5.4.3 便携式计算机(Portable computer)

便携式计算机往往是辅助式电源供应端，仅限于有限制电力量的应用。

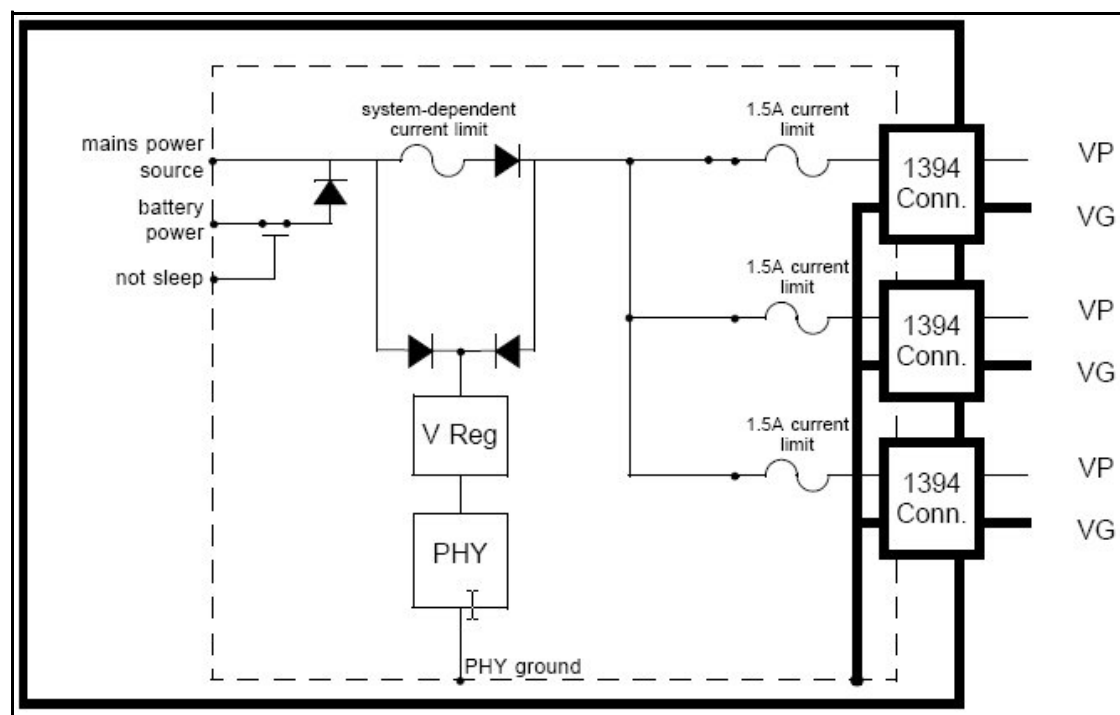


图5-4：一个多埠的辅助电源供应端class 4节点

此类装置当插入墙壁市电或是电池供电不处于睡眠模式时，会供应总线电源。当总线电源电压高过系统提供的连接线电源时，供电给 PHY；反则 PHY 是从本地电源供应。

若是装置具有两个或更多连接埠，每埠需要 1.5A(min)电流限制器。这种措施提供了调节式的电源保护(若是无此保护，某个连接端口上的故障装置可能在其它连接端口以及内部供应耗费过多的电力)。电流限制器至少必须 1.5A，然而 1394 规制经由各个任何埠的消耗不会超过 1.5A(若是经由连接埠耗费超过 1.5A，1394/1394a 的速度信号会失效)。

一个系统相关的电流限制提供用来保护本地电源，防止外部装置的过量索求以及达到调节用途的目的。

#### 5.4.4 外围或行动式装置(Peripherals or mobile device)

若是合适的话，单一端口行动式装置可以供电给它的 PHY。由于这类装置并不中继 FireWire 信号，因此这是可接受的。

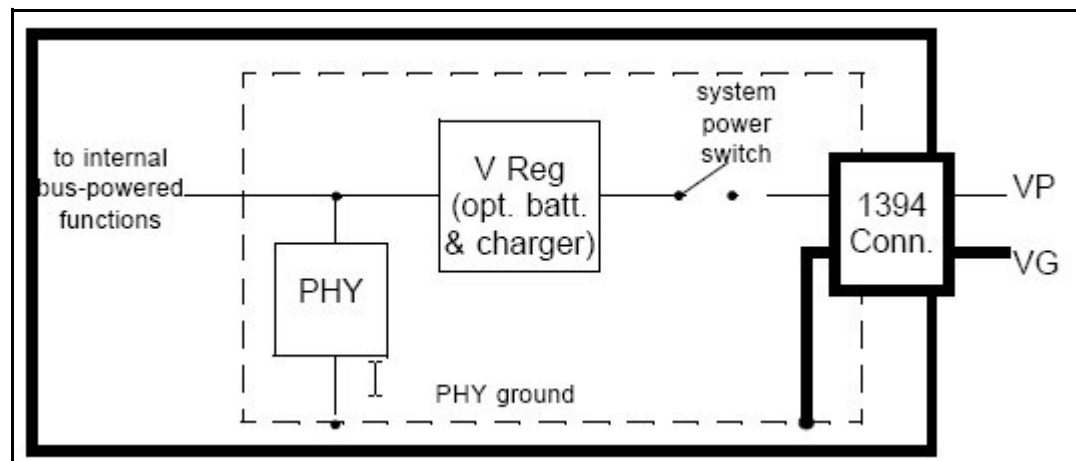
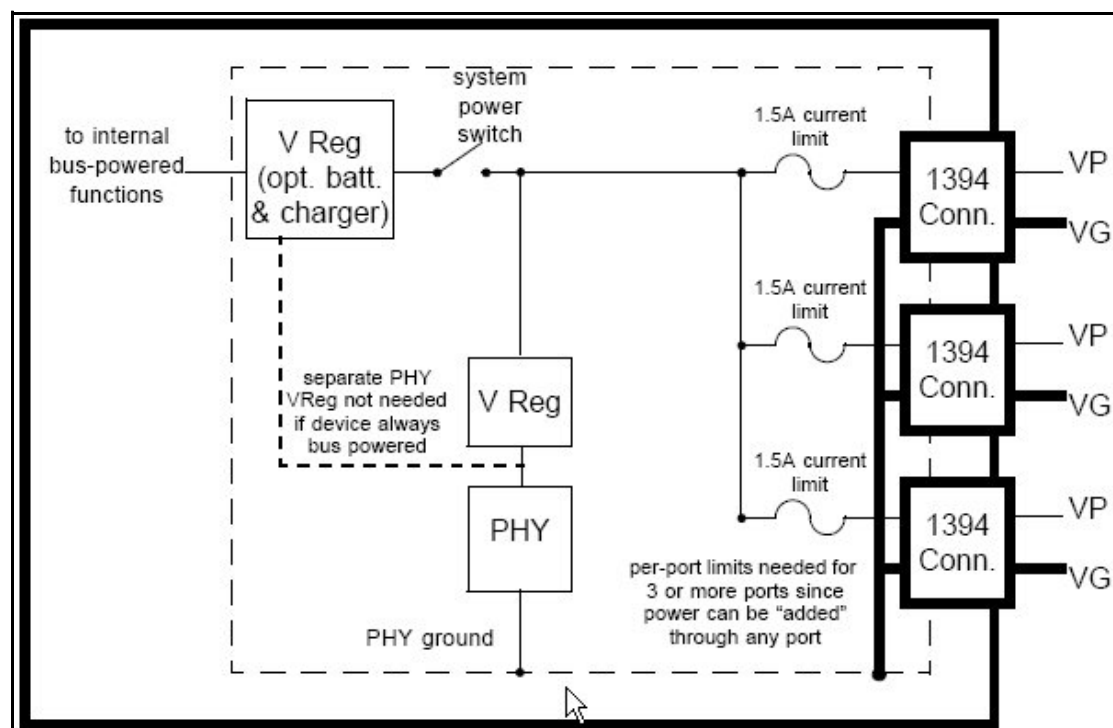


图5-5: 单一连接端口总线供电(class 4)节点

多端口行动式装置需要中继 FireWire 信号，只要有总线电源可用，PHY 必须供电。若是装置本身是从总线取电，也可以选项地从主装置电源拿取电力。

行动式总线取电装置，若是具有 3 个或以上的连接埠，每个埠需要 1.5A 的限流。这种措施提供了调节式的电源保护(若是无此保护，某个连接端口上的故障装置可能从其它两个连接埠上的电源供应端耗费过多的电力)。电流限制器至少必须 1.5A，然而 1394 规制经由各个任何埠的消耗不会超过 1.5A(若是经由连接埠耗费电流超过 1.5A，那么 1394/1394a 的速度信号会失效)。



**图5-6: 多端口总线供电(class 4)节点**

使用这个设计的节点，不能够使用 1394 连接埠中止。

**5.5 注释****5.5.1 Power Classes(参考用)**

功率耗费以及电源来源特性，整理在表格 5-1。

**表格 5-1: 电源类别(Power Class)**

Power class (二进制)	Power class	说明
000	0	不需要电源与中继电源的节点。
001	1	自我供电并供应至少 15W 到总线的节点。
010	2	自我供电并供应至少 30W 到总线的节点。
011	3	自我供电并供应至少 45W 到总线的节点。
100	4	可以从总线取得电力的节点，最多耗 3W。连结(link)的启用无须额外的电力。
101	5	保留给未来使用。
110	6	可以从总线取得电力的节点，最多耗 3W。连结(link)的启用需要额外的 3W 电力。
111	7	可以从总线取得电力的节点，最多耗 3W。连结(link)的启用需要额外的 7W 电力。

**5.5.2 二极管保护的注解**

一个电源供应端节点使用了二极管组件来保护其内部电路，避免其它电源供应端节点提供的电压高于本地电源时，不会汲取其电力。此举的做法仅须在电源供应上接上一个二极管组件。

然而，若是一个主要电源供应端就必须在每个连接埠接上二极管。如此一来可以建构独立的电源域(power domain)，各个由单一的电源供应端来供电力。结果可以减少另外的电源供应端扰乱到既存的装置(参照图 5-7)，减少个别连接线的超载(overload)，并协助电源管理软件来完成工作。

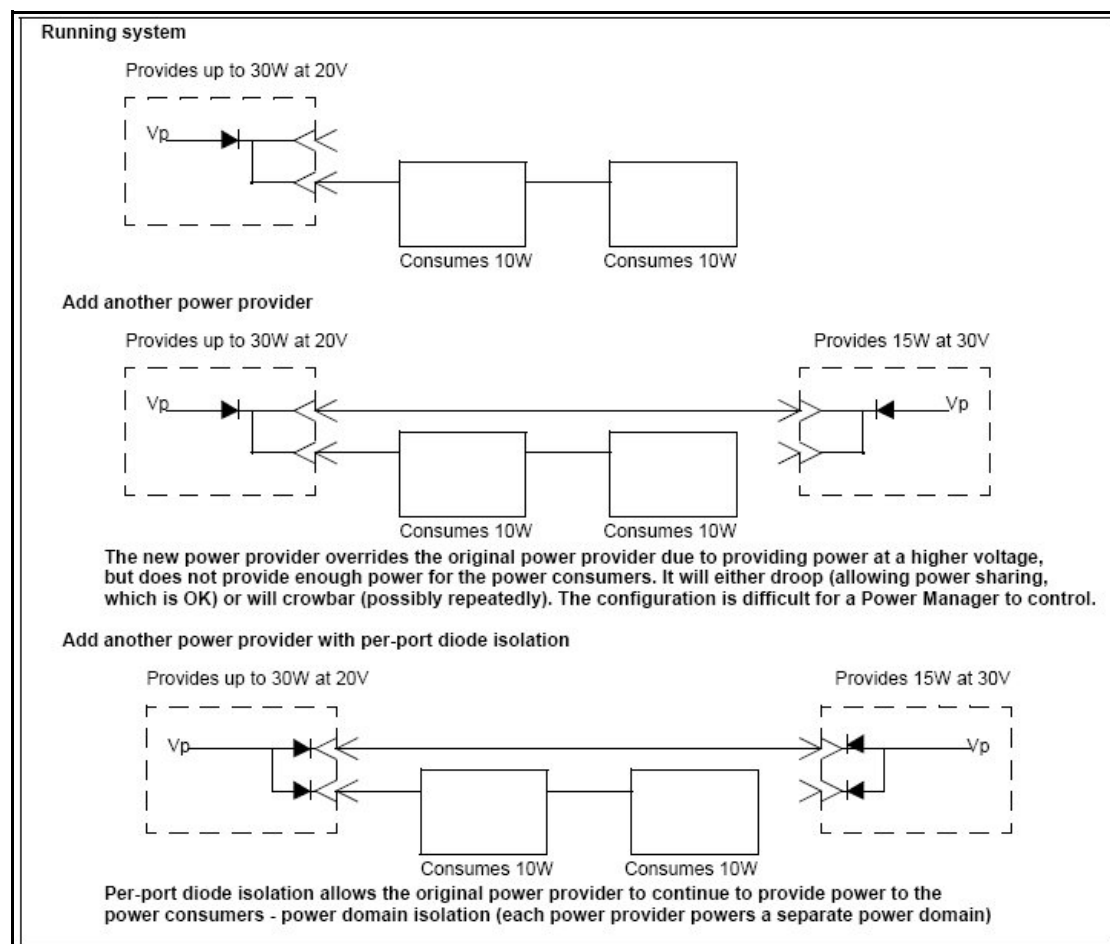


图 5-7：提供电源管理领域的二极管

对于主要电源供应端(Primary Power Providers)来说，必须对每个连接埠做二极管保护。

### 5.5.3 断电(power down)的使用与连接线不忙碌

某些装置在 PHY 上提供额外的接脚来报告连接在线没有活动(CAN - Cable Not Active)或是允许断断(PD - Power Down)。此举可以运用于 1394a 系统来对 PHY 节省电力。

更多信息，等待时间来决定(More TBD)。

某些装置可能在没有作用的连接埠使用中止(suspend)或是待机(standby)状态，用来节省电力。

#### 5.5.4 Trade Association Cable Power Distribution Specification - 拟议 的变更

a) 允许多埠的电源消耗端。它们会中继电源。

< 要添加更多的观察(more observations to be added) >

## 6. 连结(link)的选择

所有的主机端装置(CPUs)必须对于连结层(link layer), 采用 OHCI(Open Host Controller Interface)界面的设计, 对于计算机外设的嵌入式应用或是消费性电子产品, 则有更大的弹性自由度。

### 6.1 OHCI 的需求

- a). FW400的OHCI应用必须遵守OHCI 1.1规范。请参见 [9]。
- b). FW800的OHCI应用必须遵守OHCI 1.2规范。请参见 [10]。

#### 项目 #6.1: OHCI 连结在预期的负载下必须满足实时性要求

OHCI 的设计必须匹配完成系统(encompassing system), 因此, 在期待负载环境下诸如 Final Cut Pro, FireWire 的实时性要求能够符合; OHCI FIFO 的长度与等时传输封包, 必须能够应付最糟糕的主机内存争用(contention), 或是倒过来的状态; 主机内存对于 FireWire 的性能表现, 对于 OHCI 的工作以及 FIFO 长度限制, 必须反应够快且能够满足这些条件。总之, 在设计的时候除了实际上数据承载量(payload)的频宽之外, 也得考虑 DMA 叙述元(descriptor)的拿取以及状态的额外信息(overhead)。

## 7. 韧体(firmware)暨较高层软件

### 7.0.0.1 IRM 不是根节点(root)

若是等时资源管理员(Isochronous Resource Manager)发现它不是根节点时(也就不会是 cycle master), 那么, 它有责任要确保总线的配置正确而且是最佳化。

若鉴于没有现职的总线管理员, 它就必须立即读取根节点的 Bus\_Info\_Block。

若是根节点可以是周期主控端(cycle master), 它就必须立即设定其 force root 旗帜并清除所有其它节点的旗帜(藉由送出一个 PHY 配置封包, 设定其中 R 位以及根节点的 phy\_ID), 并且设定根节点 STATE\_CLEAR 缓存器的 cmstr 位。这是因为目前的根节点在总线重置的时候, 任何节点没有 force\_root 位被设定而偶然成为根节点。于是, 有必要去确定下次任何原因造成总线重置时, 根节点依然可以维持在根节点(除非 IRM 或是 BM 明确地指定其它来扮演根节点)。送出 PHY 配置封包就是在做这件事情。当不存在一个总线管理员(bus manager)时, IRM 就必须担负起这个责任。没有其它的能做到。

如果根节点不是周期主控端(cycle master), 那么, IRM 就必须去搜寻一个节点(IRM 本身或许就是一个很好的候选!), 并让该节点成为根节点(藉由设定 force\_root 旗帜并引起一个新的仲裁总线重置)。在一个总线重置的 125us 之内取得一个有效用的周期主控端(cycle master)是很重要的, 因此, 等待一个新总线管理员的推选是不切实际的。

IRM 是允许藉由周期起动(cycle start)封包的查知来侦测根节点的存在来作为周期主控端, 根节点会快速送出这些封包。如此可以节省读取 Bus\_Info\_Block, 而且 IRM 可以不用等待过久来侦测出周期起动封包的不存在。

### 7.0.0.2 1394a 具有IRM能力的节点

如果节点是可以作为1394a IRM(亦即履行BROADCAST\_CHANNEL缓存器, 其中, 信道31分配为预设的群播通道)。若是如此, 它就必须检查是否目前的IRM(当非自己本身时)是否有这个能力。如果没有, 那就必须本身作为根节点与IRM。

有四种测试 - 使用其中之一或是更多:

- a). 接收寻址到您BROADCAST\_CHANNEL缓存器的一个写入请求, 设定有效的位为1(必须来自一个1394a IRM)。
- b). 成功地完成寻址到IRM的B\_C缓存器的读取请求, 在响应中设定最高有效位(most significant bit)。
- c). 成功地读取IRM之总线信息区块, 显示出产生字段为非零。
- d). 分析self\_ID, 显示IRM没有被变更, 之前所知为1394a相容。

请参阅1394a中的8.4.2.3 (第169页)。

本页面故意留为空白(This page left intentionally blank)。

## 附件 8 : 参考设计(reference design)

注：至10/14/2009，本文件的最新线路图系由美商TI所提供。

此FW800 PCI参考设计系由TI所提供。线路图中的电源电路与PCI连接器部分，仅是用来显示一个完整的设计，不见得适用于所有的PCI应用。若欲取得更多图标与跑线布局信息，请参阅TI相关的应用指引。

注：这个设计需要做微微的更新。请参阅正式组件的本文说明。

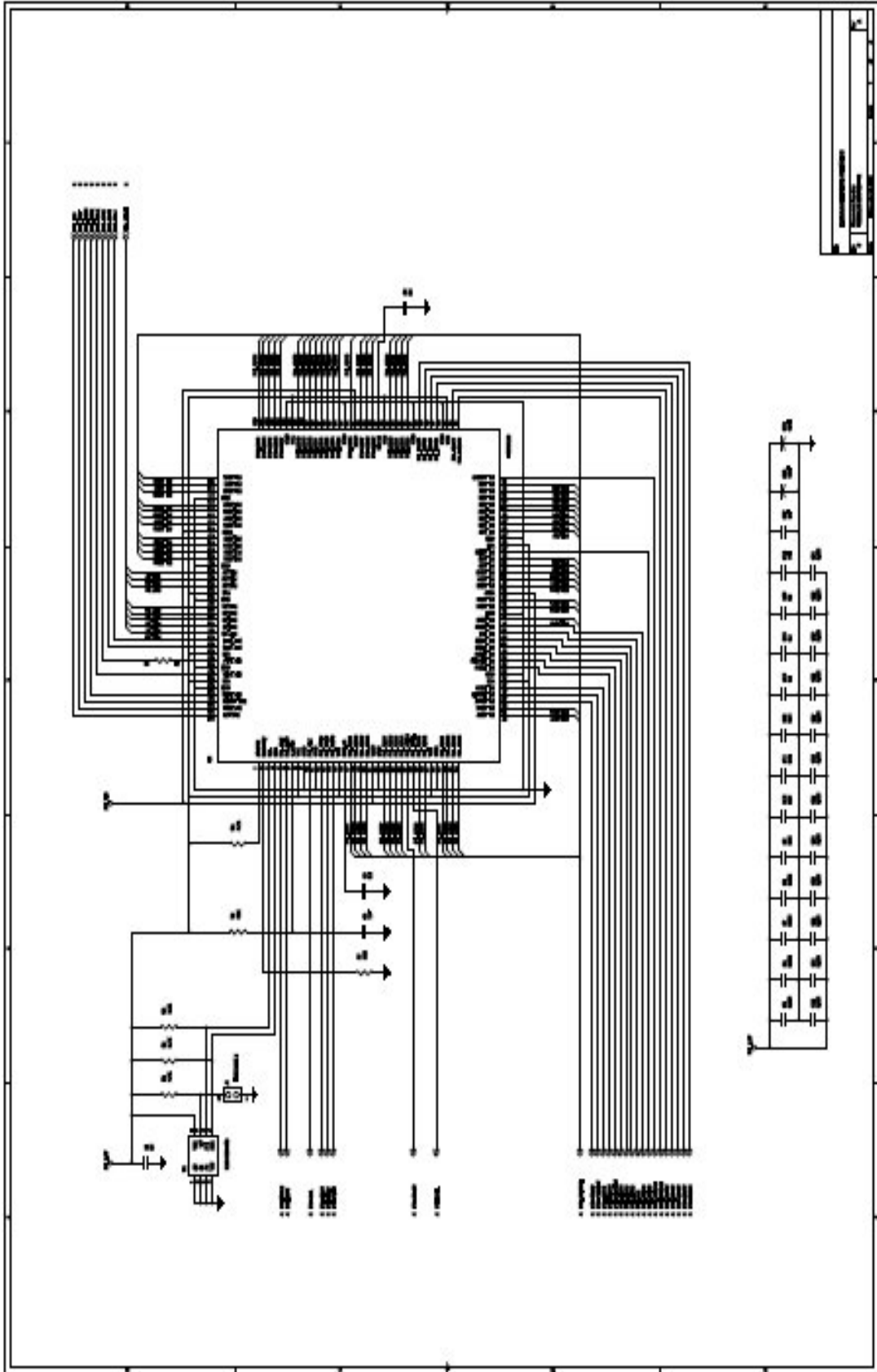


图8-1: FW800 OHCI 控制器范例

在FW800 OHCI控制器范例上的注意点(图 8-1):

- 1). 为了成本的降低, 输入信号端子如果需要设定它们的状态, 可直接连到GND。然而, 为了更优的ESD性能, 需要设定在接地状态的信号接脚须经由220欧姆~1.2K欧姆电阻接到地端。(这是一般准则的数值)。
- 2). 参考设计中的振荡器有一个3.3V输出。PHY XI接脚需要1.8V输入信号。因此, 在振荡器输出端有一个分压器将3.3V降到1.8V输入给PHY组件。当然, 也可以选用1.8V振荡器而避免分压器的使用。振荡器线路的跑线配置要尽量减少噪声与信号抖动(jitter)。振荡器必须选用抖动非常低的组件。对于振荡器采用独立的Vcc电源有助于减少信号抖动与噪声。
- 3). LCLK是PHY的98.304MHz输入信号源, 可在信号源(1394b连结层)侧串接终端组件来降低驻波。
- 4). CPS是来自PHY到1394电缆线的接点, 内部有500MHz的信号, 连接线就宛如一只大天线。390K欧姆电阻可以协助来防止EMI, 若是有必要, 铁氧体(ferrite)可以串接CPS信号来降低PHY信号无意间出现在1394b电缆在线。
- 5). LPS判定PHY-Link接口是否有作用, 一个拉低电位可以确保当PHY供电、Link却不供电时, LPS接脚处于正确的状态。
- 6). 接脚26没有使用, 却有98.304MHz信号。为了防止EMI, 客户可以串接一个约10K欧姆电阻到接地端。
- 7). 为了将信号拉高到电源, 可采用约1K欧姆拉高电阻。接脚不可以直接连到电源。
- 8). 依据所需的配置, 建议接脚2, 32, 33, 73, 66, 67与68(PC0, PC1与PC2)能够拉到电源或地端。

这些接脚能够控制PHY方面的动作, 使用者无须另外建立新的线路板或撰写新软件即可改变。除了接脚2之外, 其它所有接脚的的建议如下: 一个1K欧姆电阻拉高到电源, 220欧姆拉低到地。编程接脚一个电阻或其它电阻可以增加来设定所需的机能。由于220欧姆拉低电阻所支配, 信号终究拉低。

接脚2, 32与33(DS2/LKON, DS1与DS0)也控制着PHY的动作, 无须另外建立新的线路板或撰写新软件即可改变; 然而, 针对这个参考设计, 这些接脚已经过适当的设定。关于这些接脚的机能与设定, 请参阅数据手册。这些接脚也可以是输出, 到哪一端的电阻不可低于1K欧姆。因此, 接脚2必须有1K欧姆的拉高与拉低, 然后, 再依据对接脚编程的数值来增加电阻。

9). PCLK系一98.304MHz频率信号。为了减少驻波, 建议增加一个小的串联电阻接近PHY接脚5。参考设计线路是使用22欧姆。

10). 接脚79 CNA(Cable Not Active)输出接到参考设计的测试接头上。在参考设计上, 它可以不连接。然而, 当在偏压(若是做1393a连接)、调变(tone)或是对任何装置1394端口做连接时, 该信号会呈现逻辑高电位。这个信号可被PHY的外部硬件线路用来表示已有装置连接到PHY。请留意, 若是软件控制有需要, PHY可以被编程来产生一个中断给连结层。



图8-2(续)

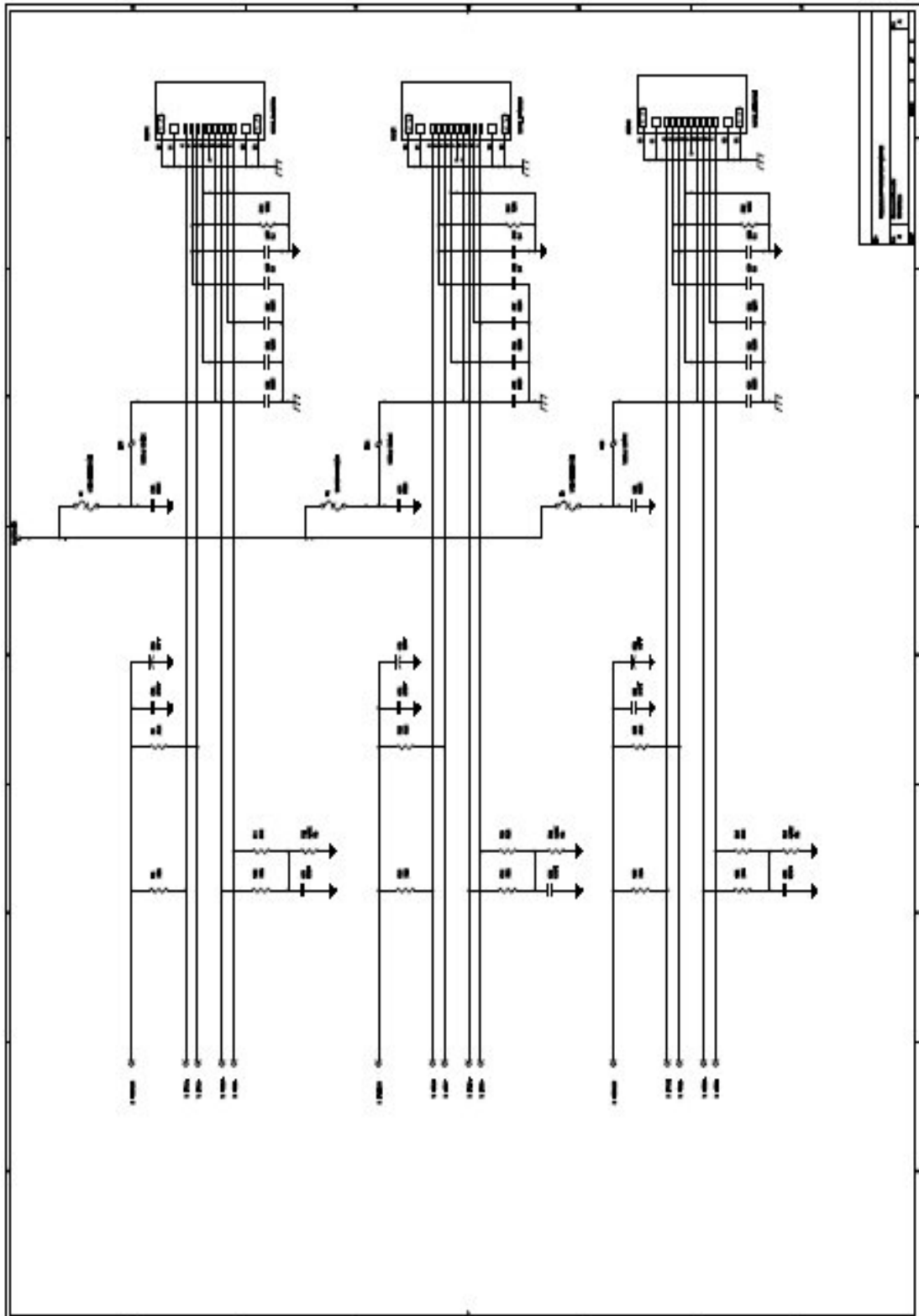


图8-2的注释说明。

这个参考设计系针对PC的接口附加卡，其中，系统有一个机壳地(chassis ground)作为ESD与EMI克制用。

- 1). 此设计采用1394b双模式连接器。当PHY连接埠可能是1394a或是1394b时用到这种连接器。至于连接端口会是跑什么模式，则是决定于哪种装置插进来。建议客户选用具有贯孔固定短桩的表面黏着型连接器，让焊锡能够进入线路板增加连接的扎实度。
- 2). 连接器的外部屏蔽必须接到机壳地，对于ESD电流提供一条低阻抗的路径到机壳地。
- 3). 接脚6是对于连接线电源与速度信号电流的VG地回路。接脚9是TPB(1394b连接端口的传送信号对)的地回路。两者必须尽快经由穿孔连到接地层。接脚5是TPA(1394b连接端口的接收信号对)的地回路，它是隔离于本地接地(local ground)，未来将在标准中定义。请参阅1394b段落5.5.1。
- 4). 连接器接脚5, 6, 8, 9各有一个ESD电容连接到机壳地。此举是企图在ESD分布到本地线路板接地层之前，将其能量尽可能倾倒在机壳地。因此，这些电容器要尽可能靠近连接器而且是在接脚经由贯孔(穿孔)连到接地层之前。为了要有更好的接地，必须有个取舍或折衷(让跑线变宽)。
- 5). 连接器VP接脚(接脚8)上的铁粉芯磁珠组件(Ferrite Bead)是基于ESD与EMI的缘故。铁氧体的PHY侧上之0.001uF电容器，是针对可能存在于VP电源上的EMI电流，提供一条低阻抗途径到本地端。铁氧体的1394b连接器侧上之0.001uF电容器，则是针对可能从连接线耦合到VP电源的快速上升时间ESD电流，提供一条低阻抗途径到机壳地。铁氧体本身对于这些电流就呈现出一个高阻抗，形成了一个“PI”滤波器。
- 6). 传输线终端匹配网络组件是必要的，必须尽可能靠近PHY(请参阅跑线布局的建议)。1uF系对1394a速度信号充电。TPA与TPB信号对终端网络中间点的270pf电容则是作为共模滤波用，降低噪声与EMI。

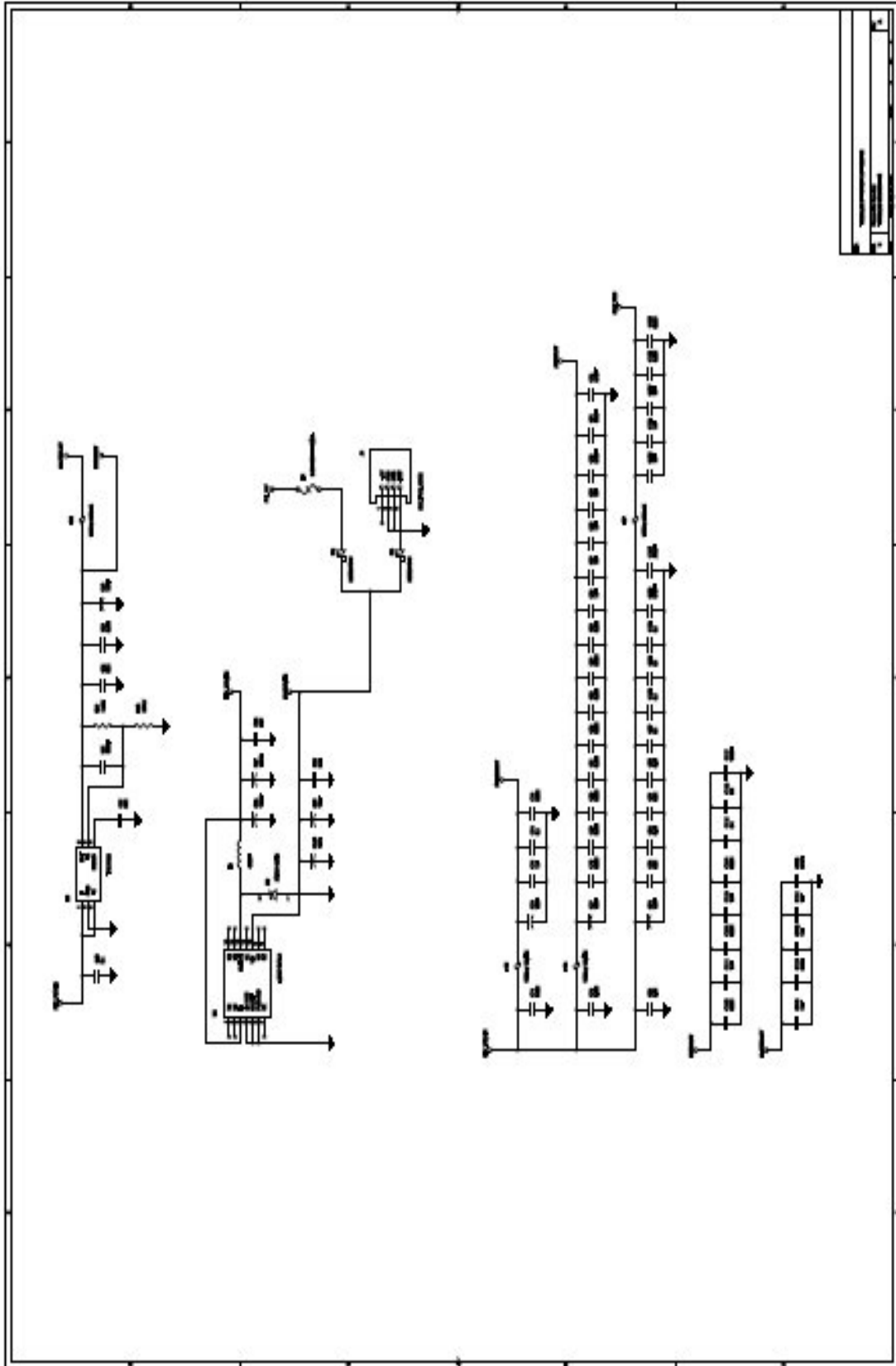


图8-3: FW800设计范例(连接埠3与PHY电源)

图8-3的注释说明。

电压调节器提供电源给PHY的低电压核心电路。铁粉芯磁珠(Ferrite Bead)是提供噪声滤波，防止数字电路产生的噪声波及到PLL电路。所选择的调节器提供200mA输出电流，系低噪声的调节器。

## 8.1 S800 1394b TSB81BA3实体层的跑线布局建议：

按照优先级：

### a). 对绞线传输线

1). 对绞线(twisted pair)信号必须非常干净。位率是1Gbps(原生速率在没有编码损失下)，这就意味着对于信号抖动与边缘位置有严格的容忍度。1394b的最小上升时间是80ps。80ps的上升时间相当于4.7mm的临界长度。这就说明了对绞线的跑线配置**必须**是阻抗匹配(110欧姆差动特性阻抗)的传输线。对绞线传输线的跑线配置，长度尽可能短。一个单独的双绞线在长度之差必须低于10密尔(mils)。传输线必须合成一体、以对绞的方式直到连接至PHY端子。

2). 终端网络在传输线的效应要最小化。对于参考的跑线布局，采用了“飞越(flyby)”的终端方式。这代表着传输线直接从连接器运行到PHY，信号没有扰乱。终端电阻网络放置在线路板背面，允许信号在终端之前“飞越(flyby)”PHY端子。此举也从终端电阻到传输线的终点降低其分支长度(stub length)。

3). 为了确保从PHY端子到连接器有一个好的接地回路，最低限度也要实践一个扎实的接地层(ground plane)或说接地面，没有实施切割。这个接地层(面)在PHY下面立即展开扩大，PHY对绞线端子、对绞线传输线、以及1394b连接器端子到连接器地回路端子(端子 XX)经由贯孔接到这个坚实的接地层。尽快将连接器地回路端子与电源地端子接续到这个接地层。

4). 对于500MHz信号而言，至少需要4层线路板来确保有很好的接地回路(ground return path)。

### b). 振荡器(Oscillator)

1). 振荡器的跑线布局必须将引入到PHY PLL电路的噪声抑制在最低。振荡器的位置也必须接近PHY XI端子。一个宽而低阻抗的跑线用来连接振荡器到PHY XI端子。这个连接必须简短又直接。TSB81BA3需要1.8V输入电压。选用的振荡器输出为3.3V。因此，需要一个分压器或是电压偏移(voltage shift)线路，造出PHY所需要的电压。参考设计是采用了一个电阻分压器。请留意这种方式也得小心处理。电阻的位置经过处理，从振荡器到PHY端子，极力降低98.304MHz传输线的信号扰乱。

2). 振荡器的跑线布局仅须最小的电源层(power plane)或说电源面。藉由一个滤波器来将这个电源面与其它电源面隔离；努力降低电源面对振荡器的噪声，并且降低从振荡器引入到线路板其它部份的噪声。这个电源面有助于最小化从去耦合(decoupling)电容到振荡器电源输入的阻抗。

### c). 电源层去耦合(Power Plane Decoupling)

- 1). PLL电源层去耦合- 尚待时间决定。
- 2). 模拟电源层去耦合- 尚待时间决定。
- 3). 数字电源层去耦合- 尚待时间决定。

**d). PHY-连结(Link)之界面**

- 1). 在PHY-连结接口上有两个98.304MHz频率。这些跑线与其它PHY-连结接口接脚有足够的间距来避免耦合到其它信号线，因为信号线可能会扮演天线的角色将噪声散射到线路板其它地方。接近每个频率的来源，有终端电阻存在。腾出空间给这些电阻，推开其它的跑线足迹。其它的跑线可以超过最小的间距，轻易地从PHY到连结层布线。
- 2). 交换式电源供应尽可能远离线路板上的其它主动电路(active circuitry)。此举乃是让主动电路，尤其是模拟电路，隔离了开关噪声。

**e). PHT下方的导热面(thermal Land)**

强烈建议使用，即使不见得必要；也就是在PHY下方配置导热面。

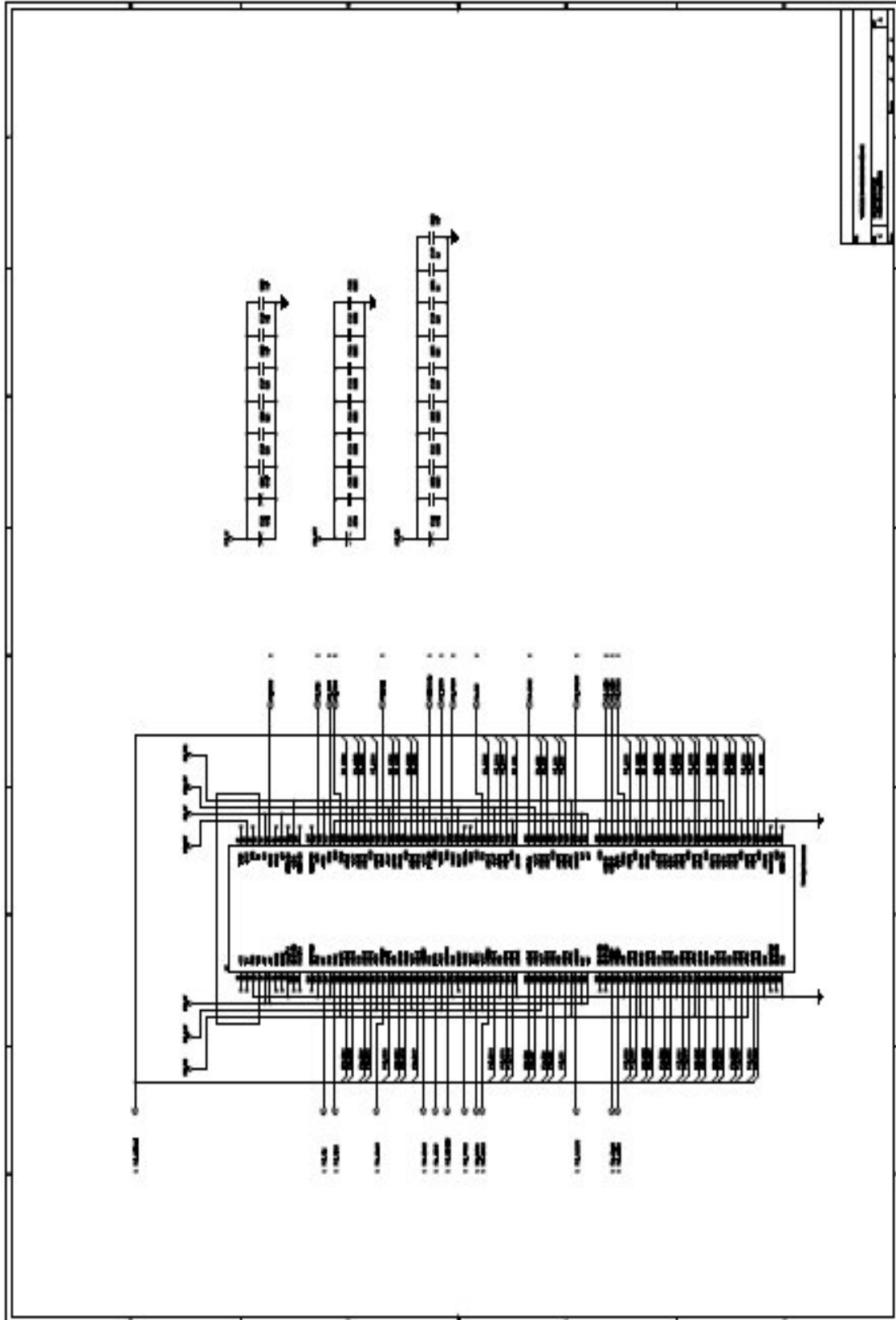


图8-4: PCI连接器参考

## 9. 扎实的连接埠设计

### 9.1 Firewire 装置的必要线路保护 - 简介

在本设计导引中，多次提到在电子装置上建立 Firewire(IEEE 1394)连接端口时，追加保护电路来确保产品在现实上应用时，有足够扎实的可靠度。有两个领域必须谨慎考虑：电源电路与信号电路。本节将提供线路保护的额外信息，讨论可能引起线路破坏的事件、线路保护的工业标准、保护组件在线路中的配置，以及一般所使用保护组件的类型。

为了确保产品在制造的过程中，能够有很好的生产良率，一般在 1394 的 PHY 实体层中会内建基本的电气过电压或过电流 EOS (Electrical Overstress)的保护组件。然而，这些保护特性的实施乃是为了制造环境的最佳化，设计也是依据各自的测试标准(比如说，HBM, MM 与 CDM 等)。

确保 EMC 电磁干扰兼容性的应用层次测试，则是采用了不同的模型，比如说在更高电压场合的更严重脉冲电流(surge)。因此，芯片上的保护组件往往无法应付这类事件的发生，在线路板层次的追加保护措施可以确保在实际应用时，能够具备有更高的可靠性能表现。一般而言，扎实的连接埠设计，1394 连接端口的所有接脚信号必须施予保护；包含了静电放电 ESD、电气过压 EOS 与过电流保护等。

图 9-1 中的笔记型计算机，建构了一些接口连接端口；尤其是包含了 1394 连接埠。当使用者运用这些接口连接到各种外围装置(例如打印机、外接储存装置、数字摄影机等)之际，必须考虑到对使用者可能遭遇到的电气威胁。好比说，在插入连接器或是拔离的动作中，静电放电 ESD、VG 迟接(Late VG)或是错误电流的意外多可能发生。

当电荷从一个对象转移到另一个对象的时候，会发生所谓的电气静电放电 ESD (Electrostatic Discharge)的现象。在这种场合下，使用者或是连接线可能含有静电，会透过 1394 连接埠来放电。当接地信号还未连接上而连接线的电源信号却已经接上时，就发生了所谓「VG 迟接(Late VG)」的现象。电源会强制地发生在数据对信号在线，因而有机会损伤 PHY 组件。若是使用了错误的连接线或是连接器(如接脚弯曲-bent pin 等)或是不小心有金属对象插入到连接器时，就会发生了错误电流的现象。本文件的以下章节将来探讨电气威胁以及因应对策方案的细节。

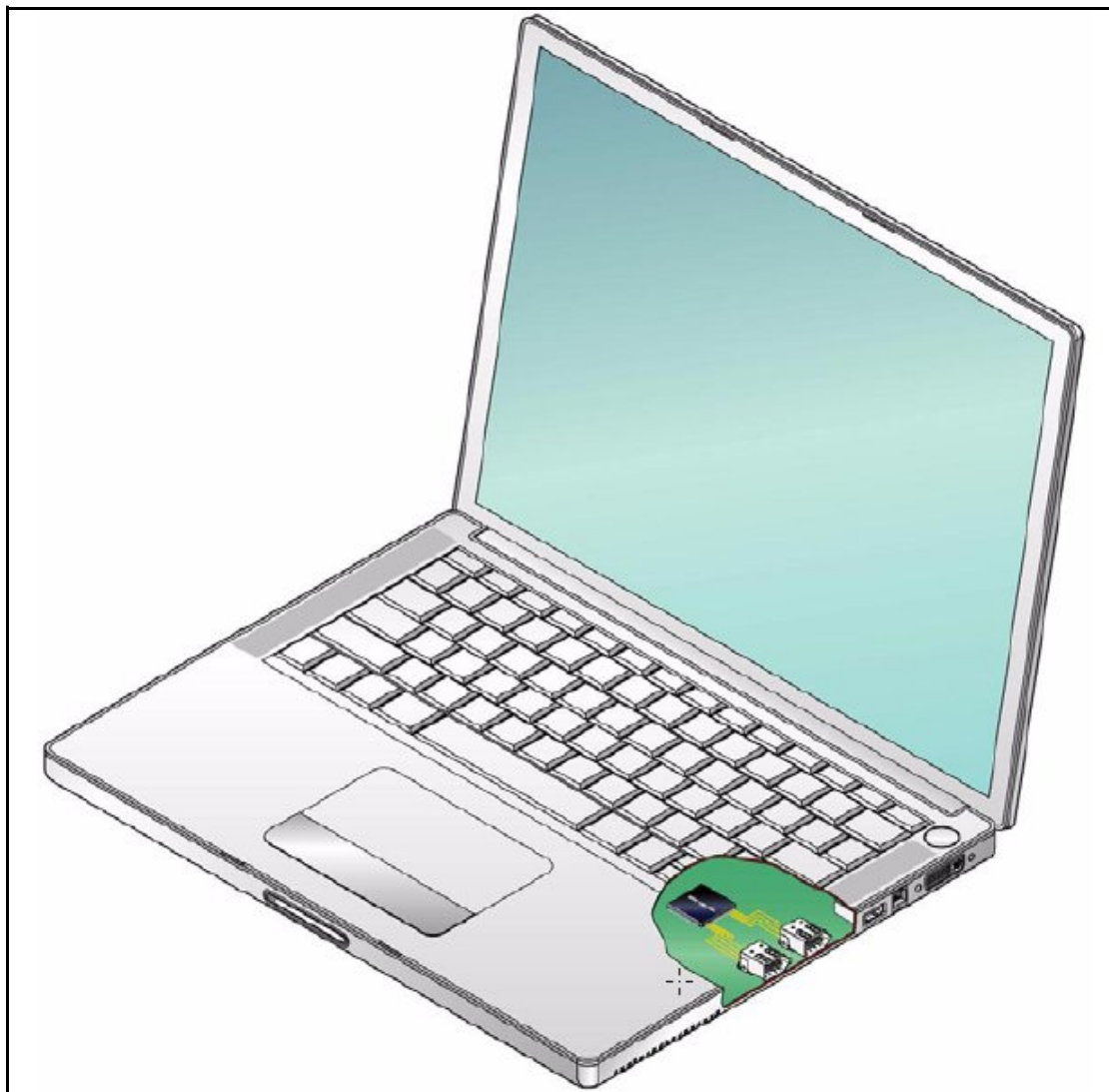


图 9.1 - 笔记型计算机实施 1394 连接埠的示意图

## 9.2 「热连接」问题；也就是 Vg 迟接(Late-VG)的现象

### 9.2.1 使用上的背景概述

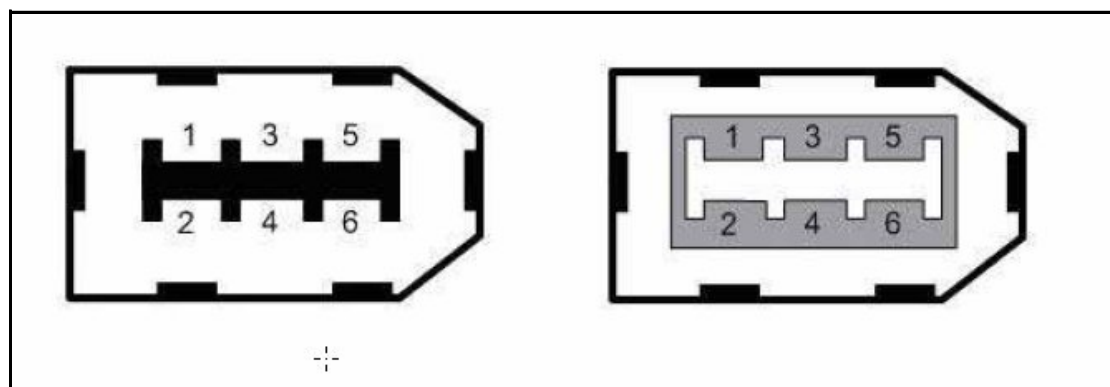
连接线的高压电源与错误连接线或连接器，可能会遭致连接器接地信号(Vg)在尚未连上之前，数据信号线(TPx)与电源信号(Vp)却先行接上；因而，所有的1394 PHY零组件都会面临到电气过电压或过电流(electrical overstress)的毁损。这类的事件，也就是所谓「VG迟接(Late-VG)」的现象。本文件提供了如何认知1394 PHY零组件遭遇到「VG迟接」的伤害，解释这些毁损究竟是如何来发生，并提供建议来降低VG迟接事件发生的频率以及保护1394 PHY装置免于VG迟接的危害。

IEEE 1394A-2000规格明文指出，1394连接线电源(Vp)的电压范围是从直流8伏特到30伏特，最大供应电流1.5A。而传统的IEEE 1394-1995系统所可以支持的连接线电源范围却是直流8伏特到40伏特，最大电流规制也是1.5A。一般典型的1394 PHY装置的绝对

最大输入电压范围是直流-0.5 V到V<sub>dd</sub> + 0.5 V，其中的V<sub>dd</sub>最大值为4.0V。很明显地，若是V<sub>p</sub>的电压位阶呈现在1394 PHY装置的差动信号对时，很有机会造成严重的毁损。

若是进行连接线的插接有歪斜的角度，1394两个节点的电源V<sub>p</sub>与数据信号(TP<sub>x</sub>)在V<sub>g</sub>信号连上之前就先行接触；或是不适当的连接线、连接器引起V<sub>g</sub>信号的连接出了问题；这时候，1394连接在线的V<sub>p</sub>部份电压就有可能出现在TP<sub>x</sub>信号上。举个例子来说，请参考图9-2，明显可以看出接脚1与接脚3在接脚2(也就是V<sub>g</sub>信号)接上之前或者没有V<sub>g</sub>信号的情况下，就可能先行连接上。

由于数据信号的连接是藉由V<sub>g</sub>接地信号的返回途径，V<sub>p</sub>电压得以出现在TP<sub>x</sub>信号上。回返接地路径的高电压与电流，可能毁损连接线双端的1394 PHY装置。而1394 PHY装置内建的ESD保护线路，并不足以保护V<sub>g</sub>迟接的现象；理由很简单，V<sub>g</sub>迟接的时间与电流均高于一般典型的ESD事件。请注意，仅有一对TP<sub>x</sub>信号会遭致V<sub>g</sub>迟接事件的发生。一个仅有V<sub>p</sub>与TP<sub>B</sub>\*连接的1394节点，易于发生V<sub>g</sub>迟接的伤害问题。



接脚编号	信号名称	说明
1	V <sub>p</sub>	连接线电源
2	V <sub>g</sub>	连接线接地
3	TP <sub>B</sub> *	差动信号对 B
4	TP <sub>B</sub>	
5	TP <sub>A</sub> *	差动信号对 A
6	TP <sub>A</sub>	

图 9.2: 1394 插座(连接器)与接头(连接线)的6只接脚图

### 9.2.2 1394 PHY 装置由于 V<sub>g</sub> 迟接的毁损症状

对于使用者来说，V<sub>g</sub> 迟接事件对于 1394 连接埠的损伤会造成无法动作的状况。多数的场合下，1394 PHY 装置的其它连接端口并不会受到波及影响，仍然可以继续正常动作。替换毁损的 1394 PHY 将可以彻底解决这个问题，毕竟应用的其它部份一般并没有受到影响。

当对一个毁损的 PHY 装置进行测试时，或许会出现连续性的失败。通常是失误连接埠的 TPA 信号线之一，发生了开路或是短路的现象。理所当然，四种场合也包含了 TPB 信号对的毁损。相关 TPBIAS 电路的毁损在某些场合也可以见到。

一个 1394 PHY 装置的完整损坏分析，显示出 Vg 迟接事件的失败机制通常是引起金属极、多晶硅以及晶圆基底层(die substrate)对于接地的短路或是开路，与电气过压一致。先前 EOS 引起的 PHY 装置失败之分析将显示如下。这个毁损表示了 Vg 迟接事件。请留意，并非每一个 1394 PHY 装置的 Vg 迟接事件会呈现出相同的毁损状况。

### 9.2.3 遭致 Vg 迟接事件影响的应用特征

某些 1394 应用比较容易遭致 Vg 迟接事件所引起的 PHY 伤害。这些应用的主要特征将说明如下，供为参考。请特别留意，这些特征并不表示 Vg 迟接事件发生的必要条件也不代表 Vg 迟接事件确定会发生。这个清单纯粹是作为信息参考用途。帮助设计者来判别 Vg 迟接事件在他们的应用中是否要谨慎来考虑。

**由连接线供电的系统(Cable Powered System):** Vg 迟接事件引起的毁损，关系到连接线电源，依赖 1394 连接线电源的系统比较容易发生 Vg 迟接。仅用四只接脚(TPA, TPA\*, TPB, TPB\*)的 1394 节点不会发生 Vg 迟接。若是没有 Vp 连接便不会发生。自行提供电源的应用一般也不会有 Vg 迟接。然而，若是有关中继电源的两连接埠应用，是有可能发生 Vg 迟接的损坏。

**Vp 上的高电压:** IEEE 1394A-2000 限制 Vp 为 30V。一般 PC 应用由 PCI 供应 10V~12V 电压给 Vp。当 Vp 超过 15V 时，因 Vg 迟接造成 1394 PHY 装置的损坏会较常发生。电压的上升会增加 Vg 迟接造成损坏的可能性。

**1394 6 只接脚连接器:** Vg 迟接会发生于 9 只接脚的 1394b 系统，而 6 脚连接器又于外型的关系，更容易有直角插接或是反接的场合。亦即增加了 Vg 迟接的发生机会。

**连接线反复使用:** 根据 TI 的调查，1394 PHY 装置 EOS 的毁损，根本原因在于制造商反复使用同一连接线或系统。在数千次插拔之后，连接线或连接器已经破旧或损坏，引起 Vg 连接不良而造成 Vg 迟接的高度发生率。

**热插拔(hot plug):** 在 1394 系统中，仅有在 Vp 已经存在的场合下连接线插入连接器时，才会发生 Vg 迟接事件。因此，若是在连接线电源供应之前就将 1394 节点完成连接，是不会发生 Vg 迟接事件的；除非，Vg 本身的连接出了问题。

### 9.2.4 Vg 迟接事件的详细解说

两个 1394 节点的 Vp 与 TPx 数据连接，电压提供者与电压取用者若是没有 Vg 连接，数据连接会成为 Vp 提供者的最低阻抗接地返回途径。接地返回途径上的电压与电流，可能伤害到连接线两端 PHY 装置的 TPx 输入。

图 3 显示了可能发生  $V_g$  迟接的电气连接，节点 A(Node A)是电源供应端而节点 B(Node B)是电源取用端。为了方便解释，假设两个节点没有地线连接。而图中的连接线屏蔽短路到机壳地，却没有连接到 1394 节点的信号地。

由于  $V_p$  信号在连接器中接脚较长，可以假定它会先连接上，因此将节点 B 的所有信号拉高到  $V_p$  的电位。若是两节点间的数据线连接完成，节点 B 的接地信号会拉低而其电压调节器也开始动作。由于数据线连接扮演着接地回返途径，此举将会强迫节点 B 的 TPA/TPA\*信号低于 1394 PHY 装置的地端。而这个低电压有可能在 1394 PHY 装置的最大输入电压额定值  $-0.5V$  之外，因而造成节点 B 的 PHY 装置之损坏。

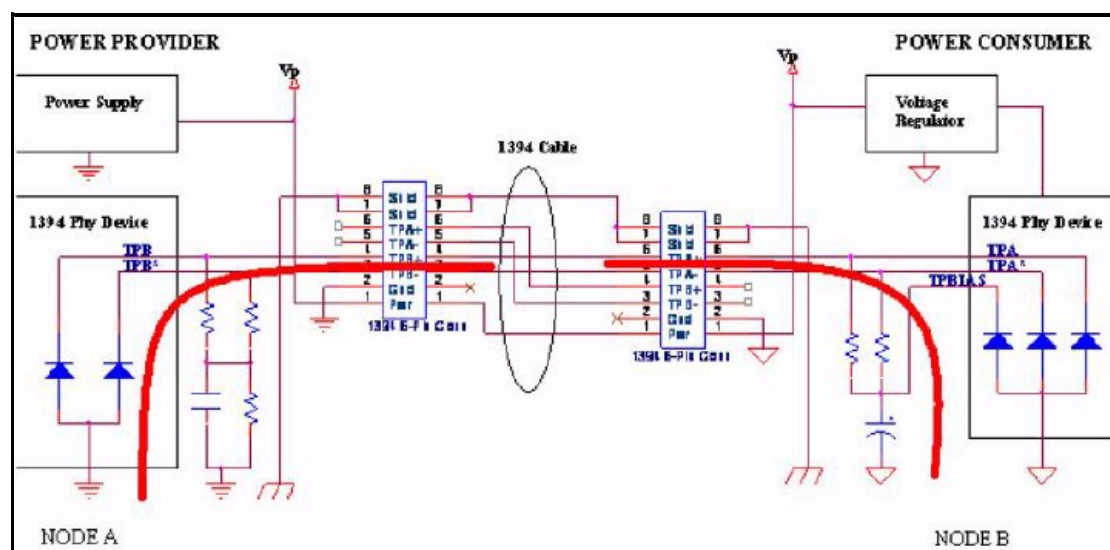


图 9.3: 连接期间发生  $V_g$  迟接的概况

当节点 B 的电压调节器开始驱动时，额外的电流会经由数据连接回返，而拉升了节点 A 的 TPB/TPB\*信号电压。依据系统的连接线电源电压，TPB/TPB\*信号电压可能超出了 1394 PHY 装置的最大输入电压额定值  $V_{dd}+0.5V$ ，此举也会引起节点 A 的 PHY 装置之损坏。

因此， $V_g$  迟接引起的损坏可能在电源供应端也可能发生在电源取用端。在真实的使用环境下， $V_g$  的连接上有一点延迟或是有损坏的连接线与连接器，造成断断续续的连接。如此将会限制了 1394 PHY 装置作为接地回返的作用，也可能招致瞬时电压造成装置的毁坏。

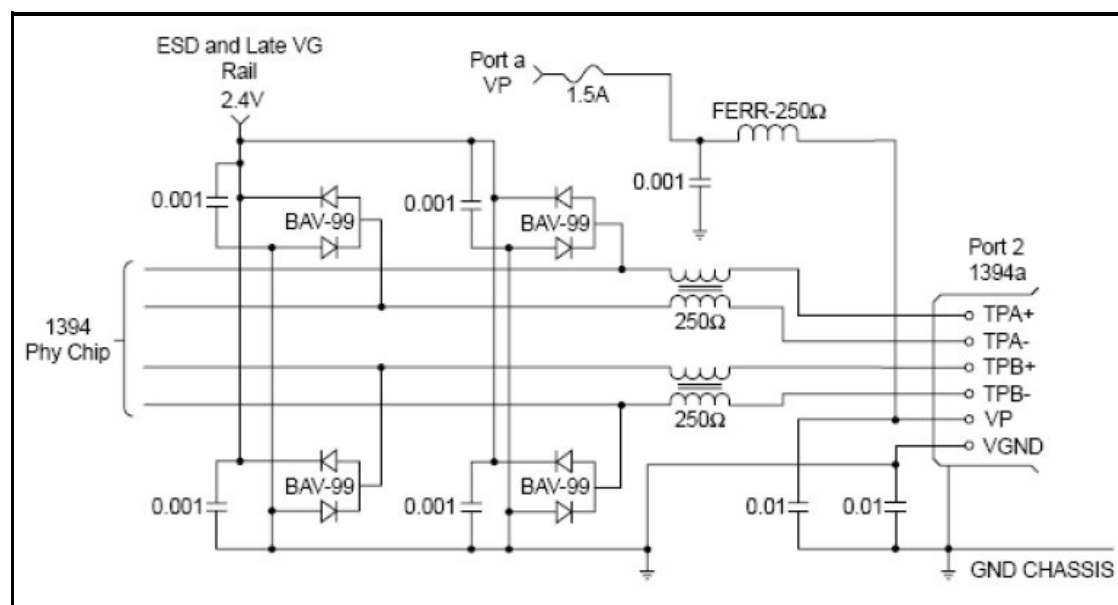
### 9.2.5 1394 PHY 装置的保护 - $V_g$ 迟接事件

被动式解决方案:

确保连接线与连接器的质量可减少 Vg 迟接的事件，然而这种事件还是很多 1394 应用的关注。若是不能确切地针对 EOS 来保护 1394 PHY 装置，也可能因 Vg 迟接而损坏。一个简单的推荐实践方式，是藉由短路连接线屏蔽的机壳地到信号地，提供额外的低阻抗接地回返途径。若有必要，透过低阻抗滤波器来防止过量噪声。

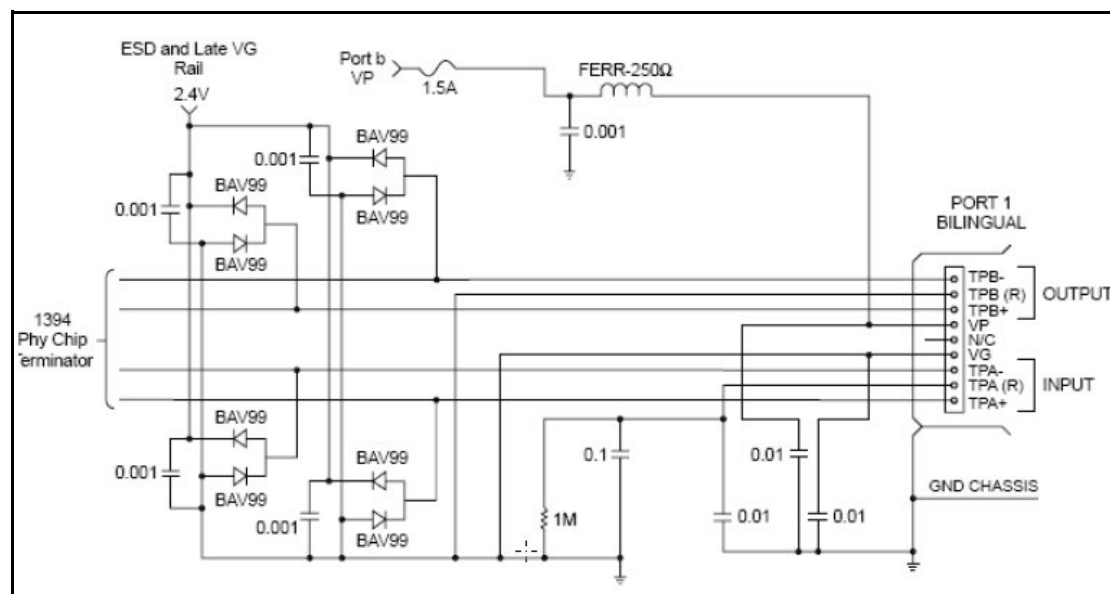
另外一个选项措施是加入快速的二极管开关电路，比如说在每个 TPx 信号线加上 BAV99 来保护又不会影响到信号整合性。图 9-4 显示了这个防护措施在 1394a 的实践方式。图 9-5 则是一般 1394b 应用的保护方式。

当偏高电压加诸于数据线时，二极管的顺向回路将 Vg 迟接电流导向电源轨道。稍后当 Vg 迟接状况解决之后，二极管会切换到关闭(Off)，信号线电压回到一般的水平。不过，请留意这些二极管的使用可能影响到高速 IEEE 1394 版本的实践。因为，二极管的寄生电容足以引起信号失真，造成信号整合性的疑虑。



注释：除非特别指明，电阻的单位为欧姆，电容的单位为 uF。

图 9.4: 在 1394a 连接埠上使用二极管保护 Vg 迟接的范例



注释：除非特别指明，电阻的单位为欧姆，电容的单位为 uF。

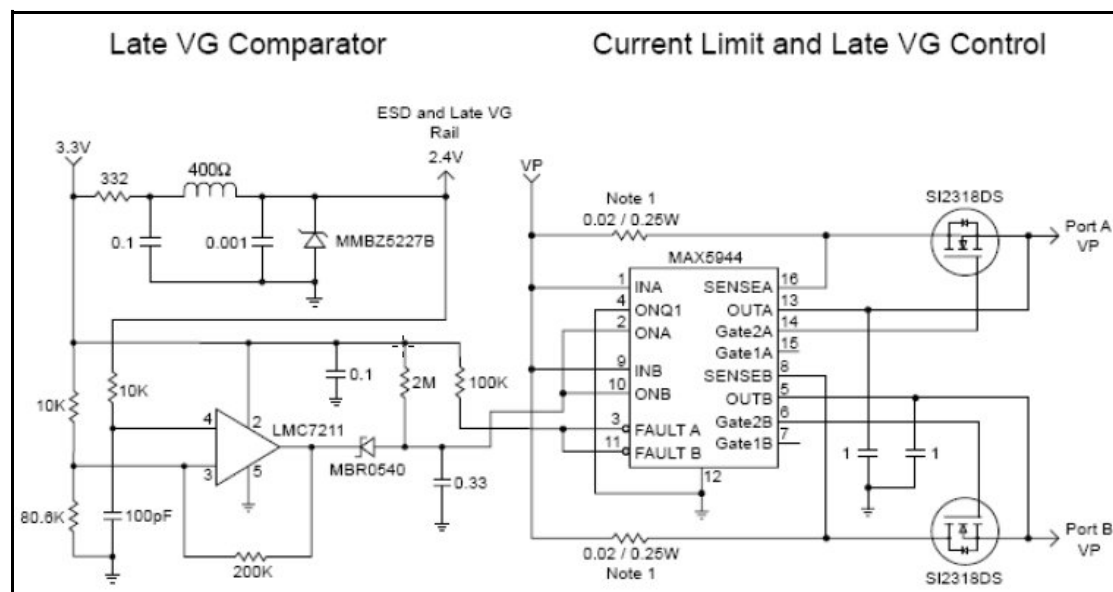
图 9.5：在 1394b 连接埠上使用二极管保护 Vg 迟接的范例

### 主动式解决方案：

另外一种针对 Vg 迟接的保护方式，是采用主动式电路来监视电源与信号线的状态，在发生 Vg 迟接期间，会让电源失效。请参考图 9-6，限流 IC 会监视比较器的输出；如果 ESD 与 Vg 迟接的偏压高过 3.3V，电源就会失效。ESD 与 Vg 迟接的输入即是 BAV99 二极管，它会在 Vg 迟接事件期间动作。

请注意，这个方案也可以运用于发生错误状态时的过电流保护。检测电阻(请参考图下方的注 1)用来设置动作电流(trip current)，基本上它是可以编程的，随着电阻值的不同，会有不同的控制电流。就底下这个范例来说，0.02 欧姆设定动作电流在 2.4A。当电阻值增加时，动作电流也跟着降低。

若是欲取得更多的细节信息，可以参照 Maxim 的数据规格或是其应用指南(AN3984)，其中对于 MAX5944 (双埠)与 MAX5943 (单埠)的使用方式皆有详细的说明。



注 1: 在戴维宁(Thevenin)检测电路, 尽力避免任何的跑线长度。

注 2: 除非特别声明, 否则, 电阻的单位为欧姆、电容的单位为 uF。

图 9.6: 使用 Maxim 保护 IC 来实践 Vg 迟接事件的范例

### 9.3 VP信号线错误电流(fault current)

当 FireWire 装置从系统上汲取电源时, 从 1394 连接埠的 VP 信号线到 PHY 之间必须实施错误电流的保护。若是连接到电源总线的组件发生了变化, 好比说电阻值急速下降, 就会发生错误电流。同样的道理, 供应电源的 FireWire 装置也必须针对使用者的误应用或是有问题的连接方式(比如弯曲或是断接的连接线、接脚等), 做好防护。保护 PHY 免于穿过的高电流(错误电流), 本指引认可自恢复保险丝(resettable fuse)的使用, 因为这类组件可以在错误电流事件清除之后自动恢复。

自恢复保险丝可以防护过电流的损毁, 并在电流正常之后恢复电路到正常的动作状态。一般来说, 这类组件是正温度系数 PTC 的热敏电阻(thermister), 当自发热( $I^2R$ )增加时会提高电阻值, 因而限制了电流。由于 IEEE 1394 连接埠是热插拔, 在 VBUS 上会存在难以预测或经常性的错误电流, 非常建议在 FireWire 设备中运用这类组件。

各类 PTC 组件的额定规格, 从 6VDC 到 72VDC, 电流值 100mA 到 9A。封装有引线或是表面黏着的方式。为了符合 FireWire 的电源规格, 自恢复保险丝的额定规范必须能够在 33VDC 下操作。图 9-7 解说这类组件的使用方式。当错误电流事件清除、电流恢复到正常水平时, PTC 组件冷却将电阻值带回到正常范围, 恢复电路的正常动作。如此一来, 使用单次动作型保险丝所需要的担保要求也可以省略了。

## 9.4 静电放电ESD (Electrostatic Discharge)

### 9.4.1 起因

通常ESD对于FireWire连接埠的破坏原因是来自于人体的静电转移到电子电路上。人体电荷的累积系来自于磨擦力(triboelectric)可以高达数万伏特。由于连接线与未接地(ungrounded)装置的电感与电容效应, ESD也可能将高压与高电流转移到电子电路上。这个现象的一个范例就是「连接线放电事件(Cable Discharge Event)」, 通常简称为CDE。

### 9.4.2 对ESD敏感的组件

当IC的制造商努力地将装置、晶体、互连接与硅晶层不停地微细化之际, 更容易因为ESD而引起断裂击穿或是电气过电压过电流的损毁。虽然IC制造商也会针对他们的产品加入某种型式的ESD保护, 然而, 此举也仅在晶圆制造或是后段组装过程中提供了保护。近来, 为了加快组件的操作速度、节省晶圆的空间与改善制造过程, 逐渐减少了芯片上的保护。因此, 使用者引起的ESD远超过标准半导体组件的脆弱性门坎值时, 会引起以下这些效应:

- **软故障(Soft Failures)** - ESD电流可能改变内部逻辑的状态, 引起数据的崩毁、错误的操作或是系统的锁住, 往往需要重新开机。
- **潜在瑕疵(Latent Defects)** - 系统可能暂时动作正常, 一段时间直到毁坏的组件与系统最终会失效。
- **致命性故障(Catastrophic Failures)** - 严重的ESD瞬时可以损坏硅芯片的内部连接。由于绝缘氧化物破裂, 也可能造成半导体接面的失效。不论是怎样的失效, 皆会造成组件与系统永久的不可使用。

ESD具有快速上升时间与高峰值电压的特征, 因此, PHY内部的保护装置也必须具备有相因应的快速反应时间以及额定的耐高压值。在PHY对ESD脆弱的场合, 在线路板的层次也需要额外的ESD保护措施。一般来说, IEC 61000-4-2测试规范乃是用来验证系统耐受 ESD可靠度的依据。请留意这份规范不需要ESD瞬时被加诸到开放性(没有连接的)连接埠。无论在设置或是诸如携带式笔电的应用场合, 是相当普遍常见的。通过了IEC规范可能会引起安全上的错觉, 因此, 非常建议在EMC完成测试之后, ESD也必须重新再做一次, 好比说, ESD加诸于开放性连接埠等。

### 9.4.3 ESD标准规范(ESD Standards)

因为ESD是半导体组件故障的最常见原因, 几种工业标准与规范已被制定用来测试及验证集成电路以决定承受ESD之灵敏度。这些标准包括:

- (a). MIL-STD-883中的Human Body Model (HBM), Method 3015
- (b). EIAJ IC121中的Machine Model (MM)
- (c). US ESD DS 5.3中的Charged Device Model (CDM)

以上这三种模型主要是涉及到IC的测试与制造, 也可运用到线路与组装上。电气模型

的差异(充电电容与放电电阻)是用来模拟个别的瞬时。细节摘列于图9-7与表格9-1。

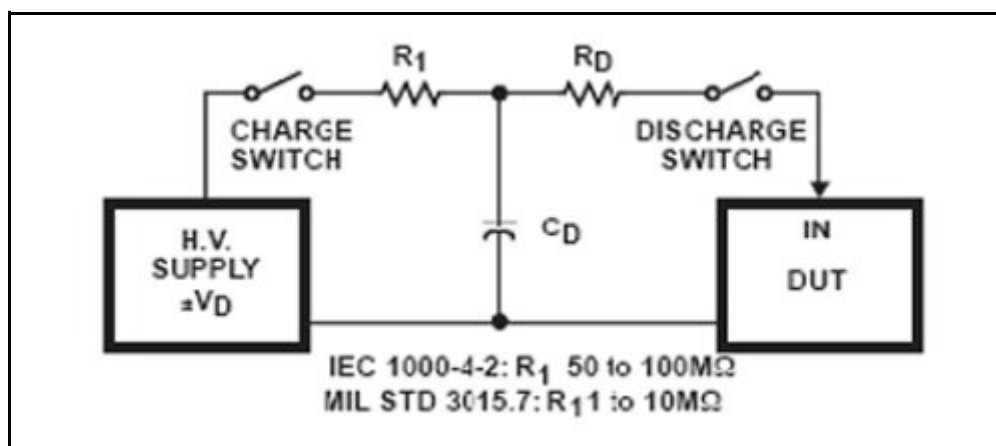


图9-7: 保护组件与终端产品的测试电路

标准	形式/模式	$R_D$	$C_D$	$\pm V_D$
IEC 61000-4-2 (level 4)	HBM, Air Discharge	330 $\Omega$	150pF	15KV
	HBM, Direct Discharge	330 $\Omega$	150pF	8KV
MIL-STD-3015.7	Modified HBM	1.5K $\Omega$	100pF	8KV*
	Standard HBM	1.5K $\Omega$	100pF	2KV
EIAJ IC121	Machine Model	0K $\Omega$	200pF	400V
US ESD DS 5.3	Charged Device Model	0K $\Omega$	N/A	3KV

\* : 实验室测试的上限

表格9-1: 图9-7测试电路的各种参数值

最为严格的标准之一，乃是国际电工委员会(International Electrotechnical Commission)之IEC 61000-4-2，也是EMC指令所参照。该测试规范适用于完成的系统(例如计算机, 打印机等)，其它标准则是朝向IC。Level 4是测试方法中的最高等级，待测装置在接触放电方法须承受8KV(建议选用)，空气放电则为15KV。

设计人员必须知道用于FireWire电路的ESD额定值。比如说，依据MIL-STD-883的半导体组件额定值2KV，可能无法度过更为严格的IEC测试方法。而且，即使满足IEC标准的某些ESD抗扰度的半导体，也并未保证无须额外的ESD抑制。诚如前述，真实世界的ESD瞬时会超过标准所定义的峰值电流与电压，也有可能更为快速的上升时间。此外，最终产品的电磁互容性，也可能规定特殊等级的耐受度。

就1394接口而言，保护组件必须与高速TPx信号线并行来将敏感的PHY输入电路之ESD给

分路掉。因此，除了恰当地电压抗扰性等级之外，ESD抑制组件必须具有低电容来防止信号的失真与过度负载。

#### 9.4.4 保护基准

通常，ESD乃是TPx信号线的最大威胁，快速的上升时间将峰值带到数万伏特的高电压。保护组件必须将峰值压到更低的准位并快速钳制残留电压到更低的层次，以电流的方式排入到地端。此外，ESD压制组件的电容值也必须够低，不能够造成TPx信号的失真。

#### 9.4.5 抑制器(suppressor)的特性

对TPx信号线的ESD抑制有各种不同的技术。考虑到低寄生电容的要求，有两个种类的技术可以采用，分别是硅保护数组SPA(silicon protection arrays)以及聚合物抑制器(polymeric suppressors)。在选择ESD保护方案时，要考虑这些技术各自拥有的特色。SPA具有最低的开启时间与钳住电压，对于ESD特别敏感的PHY该考虑这种技术。聚合物抑制器则具有最低的电容值，若是必须减低寄生电容的场合，就可以考虑这种方式。

#### 9.4.6 代表性电路与产品

依据线路设计与成本的考虑，单一通道ESD抑制组件可以运用在四条TPx信号在线，如图9-8下方所示；另一个选择是采用多信道数组加诸到数据信号在线，如图9-8上方线路所示。

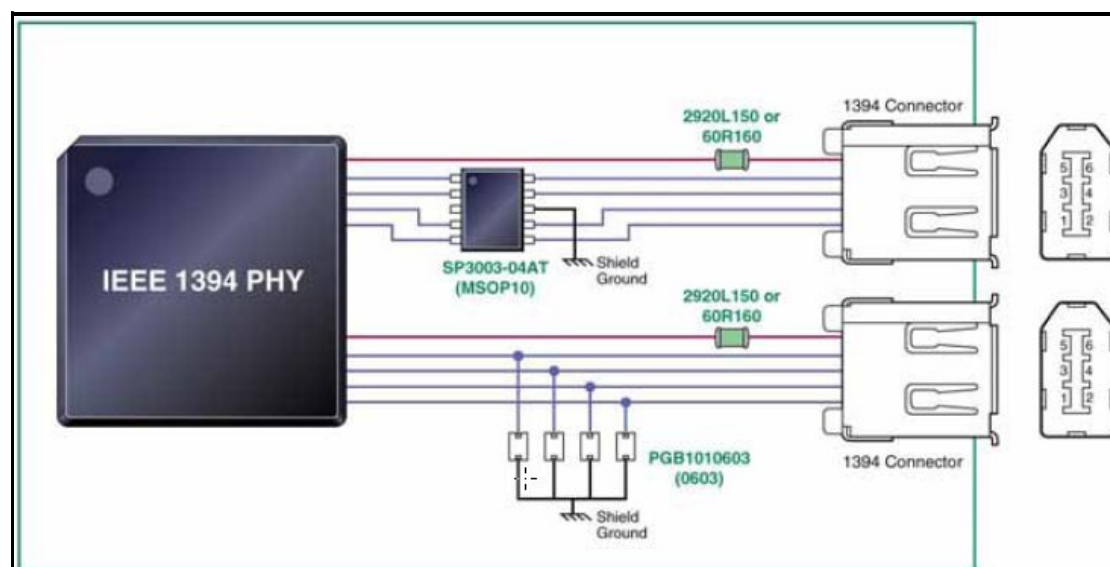


图9-8: 1394连接埠的浪电流与ESD保护对策

技术	通道 数量	VDC额定 电压V	峰值ESD 电压V	箝位 电压V	额定峰 值电流A	典型电 容量pF	安装 方式
SPA <sup>1</sup>	4	5.5	160	20	30	0.65	SMD
聚合物 组件 <sup>2</sup>	1	24	550	60	30	0.06	SMD

表格9-2: TPx信号线的代表性ESD保护组件

补充说明:

- ❶. Littelfuse SP3003-04ATG Silicon Protection Array或是等效组件。
- ❷. Littelfuse PGB1010603 PulseGuard<sup>®</sup> suppressor或是等效组件。
- ❸. 所有组件依照IEC 61000-4-2来测试。

#### 9.4.7 寄生电容效应的考虑

信号整合性(signal integrity)上的寄生电容效应,将根据FireWire装置设计时所采用1394的速率版本(100MHz, 200MHz, 400MHz等)而定。当ESD抑制组件的容量与连接端口速率增加时,信号脉冲的前沿与后沿会加大失真。最终,这个信号失真会足以干扰到数据传输。

数字示波器可以用来观察TPx信号在线有用ESD与没有用ESD的波形。图9-9显示了三种不同ESD抑制器技术与一个表面黏着电容器在100MHz与500MHz的寄生电容效应,作为比较。低电容量组件对于测试波形并不会产生影响。绿色的波形几乎就是重叠在黄色波形(没有ESD抑制组件)之上。

为了确认ESD抑制组件的电容量是否恰当,我们高度建议在最后设计完成之前务必要进行信号整合性的测试,比如说,眼状图、TDR(time domain reflectometry)时域反射的特性阻抗等。

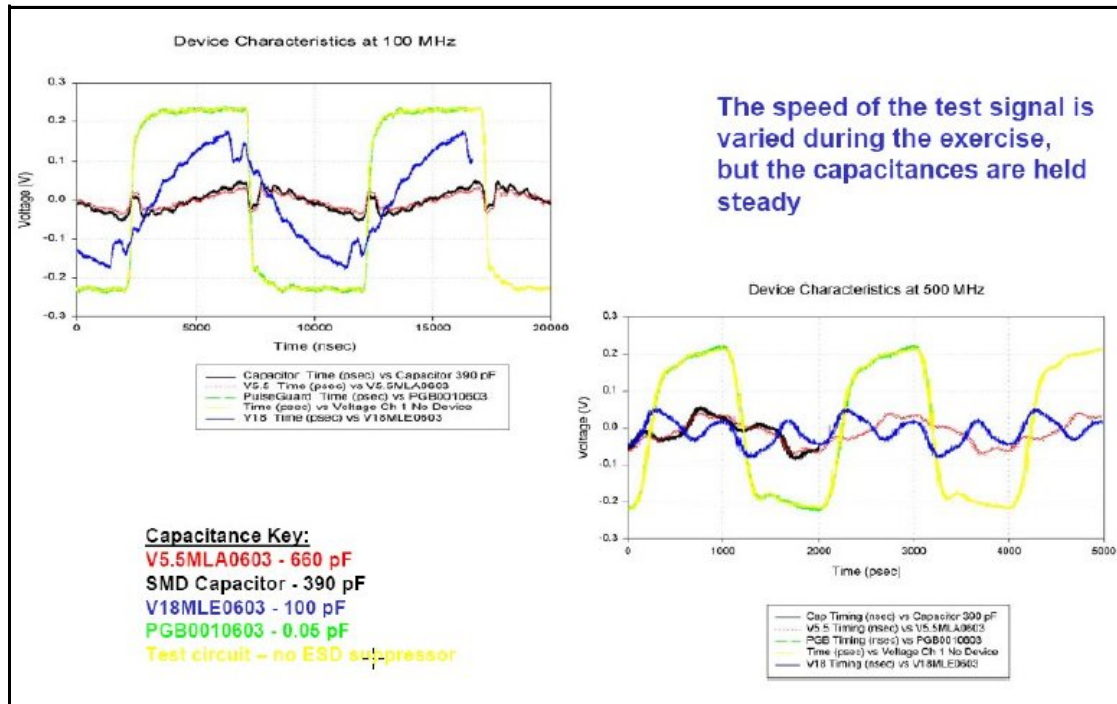


图9-9：在100MHz与500MHz信号整合性上的寄生电容效应

## 附件 10：两连接埠连接线电源分布 IC

注：这个部份要留意更新信息

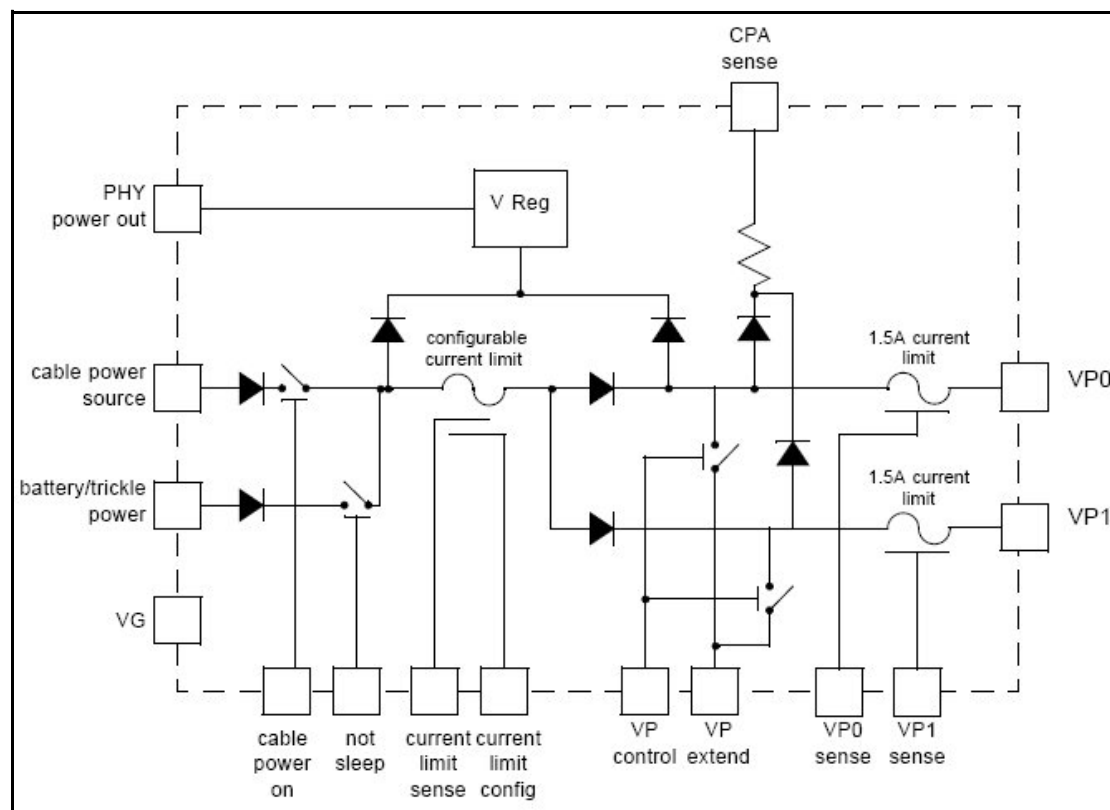


图 10-1：两连接埠电源管理 IC

当电源施加到Cable Power Source, Battery/Trickle Power Source, VP0, VP1与VPextend时，此电源管理IC开始动作。

VP0与VP1开关在任一方向均可传递电流，电压操作范围必须在7V - 33V范围。

VP control若是没有输入时，开关就关闭传递电流(建议内部拉低到VG)。

若是7V以上电压提供在任一电源来源时，电压调节器必须提供3.3V/1W到PHY Power Out端子。

可调式电流限制器(为了电源的保护)应设置运作介于0.5A ~ 3A (利用电阻或I2C控制)。若是限流已经启动(tripped)，那么「current limit sense」输出必须起作用。

1.5A电流限制必须在小于10ms之内反应过度负载。若是相对应限流已经启动，VP0与VP1检测接脚就必须起作用。

「CPA sense」输出应该是两连接埠的连接线电源之简单感知信号。这个信号应该是可被一般的PHY所接受。

二极管的顺向压降损失必须低于0.7V；如果改用极性侦测组件使顺向压降损失极小化将会更美好(否则这个组件将耗费太多功率)。

注：对于3端口或是更多连接端口，可以组合两个组件并将其VP control与VP extend接脚连接在一起（如此能够允许电源电压从任何VP到任何其它VP间切换）

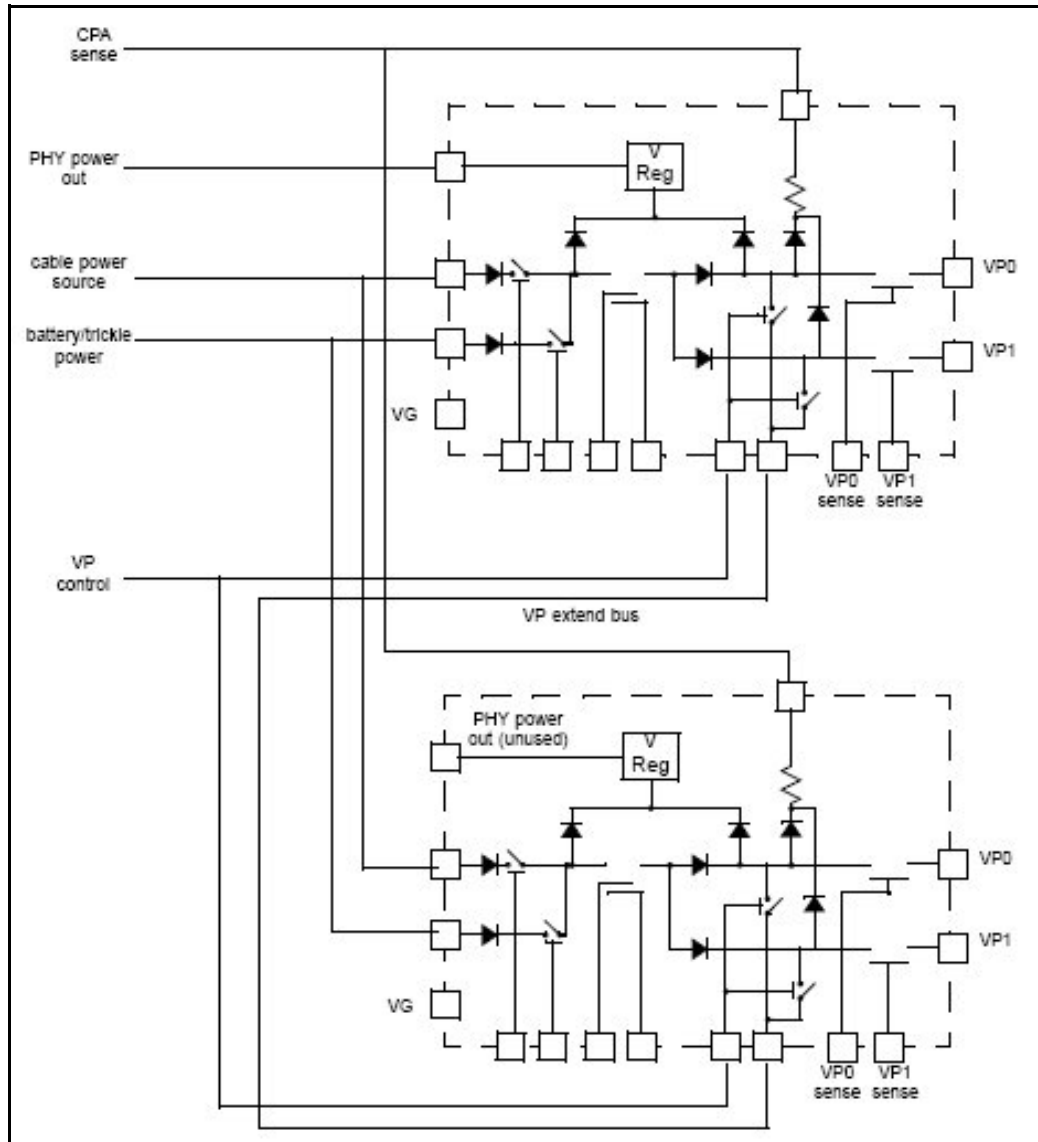


图10-2：使用多个两连接埠的电源管理IC

**附件 11：参考文献**

- [1]. IEEE Std 1212-2001, Standard for a Control and Status Registers (CSR) Architecture for microcomputer buses.
- [2]. IEEE Std 1394-1995, Standard for a High Performance Serial Bus.
- [3]. IEEE Std 1394a-2000, Standard for a High Performance Serial Bus—Amendment 1.
- [4]. IEEE Std 1394b-2002, Standard for a High Performance Serial Bus—Amendment 2.
- [5]. 1394 TA 1999001-1, Power Specification, Part 1: Cable Power Distribution, October 5, 1999.
- [6]. 1394 TA 1999001-3, Power Specification Part 3: Power Distribution Management, January 15, 2000.
- 在开发时，这个标准也必须搭配下列出版文献。当被认可为标准之际，会加上认可版本编号。
- [7]. NCITS TR-25-1999 1-SEP-1999 Information Technology - Fibre Channel - Methodologies for Jitter Specification - MJS<sup>1</sup>.
- [8]. NCITS T11/02-127v2 3-AUG-2002 Information Technology - Fibre Channel - Methodologies for Jitter and Signal Quality Specification - MJSQ.
- [9]. 1394 Open Host Controller Interface Specification, Release 1.1, January 6, 2000.
- [10]. 1394 Open Host Controller Interface Specification, Release 1.2. .
- [11]. TI Application Note SLLA117, IEEE 1394 EMI Board Design and Layout Guidelines, Jose A. Cadena-Hernandez, Burke Henehan, Lee Myers, Revision 1.1.3, July 2002.
- [12]. TI Application Note SLLA020A, Recommendations for PHY Layout, Ron Raybarman, March 1999.
- [13]. LSI Application Note AP00041-02, FW323/FW322 Hardware Implementation Design Guideline. Revision 2, December 2002.

<sup>1</sup> NCITS T11.2 作业文件在<http://www.t11.org> 可以寻得。

## 附录 12: 定义与缩写(abbreviations)

这些定义摘自 1394b 规范。

### 12.1 一致性的术语(Conformance terminology)

某些关键词系用来区分需求与选项的不同层次, 如下:

**12.1.1 期望(expected):** 一个关键词, 用来描述本标准设计模型中硬件或软件的动作。其它的硬件或软件模型也可以实施。

**12.1.2 忽略(ignored):** 一个关键词, 用来描述位, 字节, 四字节(quadlets), 八字节(octlets)或是字段, 其值不会被接收端检查。

**12.1.3 可能(may):** 一个关键词, 表示选择弹性, 没有隐含偏好。

**12.1.4 保留(reserved):** 一个关键词, 用来描述对象 - 位, 字节, quadlets, octlets 与字段, 或是指定给对象的代码值; 无论是对象或是代码留给未来标准化用。用法与涵义可以用未来扩充或其它标准来指定。保留对象必须为零。接收端收到保留对象并不会检查其值。

**12.1.5 必须(shall):** 一个关键词, 表示强制要求。设计者需要去履行这些要求确保与其它产品的互容性。

**12.1.6 应该(should):** 一个关键词, 表示强烈偏好的弹性; 推荐之意。

### 12.2 技术词汇(Technical glossary)

以下用词系本文件中所用到的词汇。

**12.2.1 8B/10B:** 一种 8 位映像成 10 位的编码方式, 达到 DC(直流)平衡, 以及将位 0 与位 1 出现次数的差异(disparity)控制在最好的范围。

**12.2.2 认可(acknowledge):** 一个认可(acknowledge)封包。

**12.2.3 认可封包(acknowledge packet):** 接收到主要封包时的回应认可封包, 系一 8 位封包。前后各个 4 位是互补的。

**12.2.4 字头语(acronym):** 一种人为的缩写字, 方便于记忆。

**12.2.5 有效用连接埠(active port):** 一个连接上又致能的连接埠, 可以侦测到所有串行总线的状态, 能够参与接口重置、树状连接辨识、自我确认与仲裁历程。

**12.2.6 仲裁(arbitration):** 界面节点为了取得使用权的竞赛历程。当完成了仲裁, 赢的节点就能够传输封包与激发一个总线重置。

**12.2.7 异步封包(asynchronous packet):** 依照异步仲裁法则传送的主要封包, 在等时期间(isochronous period)之外进行的传输。

**12.2.8 接续的对等 PHY:** 对本地 PHY 来说, 一个对等的 PHY 接续在另一端。

**12.2.9 B 云集(B cloud):** B 节点或 Border 节点的集合, 其中, 所有节点间的连接是经由 Beta 连接埠。

**12.2.10 B 连结(B link):** 一个能在 1394b 动作下的连结, 特别是在 BOSS 仲裁时能够送出恰当的请求。

**12.2.11 B 总线(B bus):** 所有节点以 B PHY 动作的总线。

**12.2.12 B 节点(B node):** 以 B PHY 动作的节点。

**12.2.13 B only PHY:** 一个仅能在 B PHY 模式下动作的 PHY, 也就是说, 所有的连接埠皆是 Beta-only 连接埠; 而且其连结是 B link 或是 PIL。

**12.2.14 B-parallel link:** 一种连结动作模式, 其中, PHY-Link 之间的信号系采用并行接口来传递。

**12.2.15 B PHY:** 一种 PHY 的动作模式, 所有的连接端口皆在 Beta 模式中动作; 其连结并不配置在传统的 PHY-link 模式。

**12.2.16 基础速率(base rate):** 泛指  $98.304\text{Mbps} \pm 100 \text{ ppm}$  的数据速率。在连接线使用环境, 所有的传统节点能够在这个速率下传输, 而所有 B 节点能够以四倍基础速率来通信。

**12.2.17 BER:** 位错误率(bit error ratio)。这是意指接收的错误位与全部接收位的比例。

**12.2.18 Beta 模式(Beta Mode):** 连接埠依据 1394b 规格来动作, 特别是采用 8B/10B 编码方式以及遵守 BOSS 仲裁协议, 就可以说连接埠处于 Beta 模式。Beta 模式中的连接端口速度字尾以  $\beta$  来表示, 比如说,  $S400\beta$ 。

**12.2.19 Beta 连接埠(Beta port):** 操作在 Beta 模式下的连接端口。

**12.2.20 Beta-only 连接埠:** 仅能以 Beta 连接埠来动作的连接埠。

**12.2.21 双模式连接埠(bilingual port):** 能够以 Beta 埠或是 DS 埠来动作的连接埠。模式的选定在逻辑连接时就会决定, 至于哪一个则会依据对等埠的传送能力而定。

**12.2.22 边界节点(Border node):** 一个节点同时具有

- (i). 其连结可以是 B 连结或是至少一个 Beta 连接埠或是两者皆是; 以及
- (ii). 其连结可以是传统式连结或是至少一个 DS 连接埠或是两者皆是。

**12.2.23 BOSS:** 乃是 Bus Owner/Supervisor/Selector 的简称。在 B 云集中, BOSS 就是负责决策仲裁的节点。在最后的子动作(subaction)中传输数据的最后节点或是接收认可(grant)的节点会变成 BOSS, 前者通常是说对异步封包传送认可的节点或是在其它场合主要封包传送者。BOSS 决定公平区间(fairness interval)的结束以及等时区间(isochronous intervals)的结束, 并通知其它的节点。最后, BOSS 会选择途径来认可下一个, 亦即将 BOSS 的权利与职责传递给另一个节点。

**12.2.24 BOSS 仲裁(BOSS arbitration):** 这个标准所定义的仲裁方案。BOSS 仲裁的特色是决定仲裁的节点会变化(请参阅 BOSS), 仲裁要求可以与数据传输重迭, 而且, 等时与异步请求可以各自对接下来随后的等时区间或公平区间做管线处理。

**12.2.25 总线 ID(bus ID):** 多总线互联系统中指定某一特定总线的 10 位 ID。

**12.2.26 字节(byte):** 八个位的数据。

**12.2.27 cable PHY:** 乃「cable physical layer」的简称。

- 12.2.28 连接线实体层:** 适用于Serial Bus连接线应用环境的实体层版本。
- 12.2.29 CAT-5:** 即是Category 5 的UTP 连接线。
- 12.2.30 字符(character):** B 模式下于连接上传送的 10 位数据序列。
- 12.2.31 连锁数据交易(concatenated transaction):** 一种包含连锁子动作的分割式数据交易(split transaction)。
- 12.2.32 对接之 PHY(connected PHY):** 与本地 PHY 实体连接的另一端对等 PHY。
- 12.2.33 连接(connection):** 彼此可相互通信的两个节点与之间的媒介。
- 12.2.34 连接音调(connection tone):** 表示能够操作在Beta模式的信号。也可以确认两个能够Beta模式动作节点的连接存在。
- 12.2.35 CSR架构(CSR Architecture):** ISO/IEC 13213:1994 [ANSI/IEEE Std 1212, 1994 Edition]、Information technology-Microprocessor systems- 微电脑总线的CSR(Control and Status Registers )架构。
- 12.2.36 周期主控端(cycle master):** 每秒产生 8000 次周期性 cycle start 封包的节点。
- 12.2.37 cycle start:** 意指「cycle start 封包」。
- 12.2.38 cycle start packet:** 周期主控端(cycle master)送出的主要封包, 表示了等时区间(isochronous interval)的开始。
- 12.2.39 数据位:** 媒介上由实体层传送封包数据的最小信号元素。
- 12.2.40 数据字符(data character):** 8B/10B 编码之后的字符。
- 12.2.41 Data Strobe (DS):** 使用两个信号的一种信号法则, 其中, 一个信号Data始终表示着资料的二元值(0或1), 另一个信号Strobe在下一个位依然相同时就会起变化。这项信号法则运用于IEEE Std 1394-1995 以及 IEEE Std 1394a-2000标准。
- 12.2.42 直流平衡(DC balance):** 长期运行的二进制符号必需的位差异平衡。
- 12.2.43 目的去处(destination):** 封包寻址的节点。如果去处是个别由来源寻址, 那么, 它就必须返回一个认可封包(acknowledge packet)。
- 12.2.44 失能埠(disabled port):** 被配置成不能传送、接收或是中继 Serial Bus 信号的连接端口。一个失能埠必须在 PHY' 的 self-ID 封包中报告视为断接(disconnected)。
- 12.2.45 断接埠(disconnected port):** 一个连接端口的接续侦测电路于连接线彼端侦测不到对等的 PHY。
- 12.2.46 不等(disparity):** 一个字符(character)中位 1 与位 0 出现次数的差。
- 12.2.47 doublet:** 双字节, 也就是 16 位数据。
- 12.2.48 DS模式(DS mode):** IEEE Std 1394-1995 以及 IEEE Std 1394a-2000标准的电气信号与交握(handshaking)法则。
- 12.2.49 DS-only 连接埠:** 仅能够扮演 DS 模式动作的连接端口。

**12.2.50 DS埠(DS port):** 依据传统规范动作的连接埠，它使用了DS电气信号与规范定义的仲裁协议。一个DS only port或是双模式连接端口，均可以作为DS埠。

**12.2.51 EIA:** 乃Electronic Industries Association之简称。

**12.2.52 眼状图(eye diagram):** 显示于示波器上的多位重迭图，可以看出实体层的信号质量。

**12.2.53 公平区间(fairness interval):** 仲裁重置指示者限定的期间。在公平区间，节点所能传送的异步封包数量有所限制。而每个节点的限制可以由总线管理员(bus manager)明确建立或者也可以是内含的。

**12.2.54 FOP:** PHY的扇出(fanout)。使用1394b条款15所定义的接口将多端口PHY附加于PIL。

**12.2.55 电流隔离(galvanic isolation):** 一种用来避免低频地回路电流的机制。

**12.2.56 间隔(gap):** 闲置总线的一段时间。

**12.2.57 混合式总线(Hybrid bus):** 一个包含至少一个Border节点的动作总线。

**12.2.58 IEC:** International Electrotechnical Commission的简称。

**12.2.59 初始节点空间:** 每个节点有效的256TB串行总线地址空间。初始节点空间乃48位寻址，基址从0开始。初始节点空间包含初始内存空间、私有空间、初始缓存器空间与初始单元空间。请参考ISO/IEC 13213:1994或是IEEE Std 1394-1995。

**12.2.60 初始缓存器空间:** 初始节点空间基址FFFF F000<sub>16</sub>的2048字节。这个地址空间保留给在总线重置后，资源存取用。ISO/IEC 13213:1994定义在初始缓存器空间的核心缓存器即如IEEE Std 1394-1995所定义的串行总线缓存器。

**12.2.61 初始单元空间:** 初始节点空间基址FFFF F000 800<sub>16</sub>的部分。这个初始单元空间毗邻并在初始缓存器空间之上。单元架构所定义的CSR与其它特色尽在这个空间。

**12.2.62 ISO:** International Organization for Standardization的简写。

**12.2.63 等时(isochronous):** 时间的一致(亦即有相等期间)以及在定期循环。

**12.2.64 等时间隔(isochronous gap):** 传统1394总线，在一个等时子动作(isochronous subaction)之后、异步仲裁之前的总线闲置期间。

**12.2.65 等时区间(isochronous interval):** 在cycle start封包送出之后的期间，以一个子动作来结束。在等时区间期间，仅能产生等时子动作。一个等时区间平均每125us启动。

**12.2.66 等时资源管理员:** 一个实践BUS\_MANAGER\_ID, BANDWIDTH\_AVAILABLE, CHANNELS\_AVAILABLE以及BROADCAST\_CHANNEL缓存器(某些允许等时资源的共享配置)。在每次总线重置之后，从所有能够处理这个功能的节点中，选择一个等时资源管理员

- 12.2.67 等时子动作(isochronous subaction):** 意指在等时区间之期间, 一个连锁封包(concatenated packet)或是前头有间隔的封包。
- 12.2.68 隔离节点(isolated node):** 一个不具有有效连接埠的节点; 该节点的连接埠可能是失效、断接或是中止(suspended)的各种组合情况。
- 12.2.69 信号抖动(jitter):** 任何理想位的时间偏差。
- 12.2.70 传统(Legacy):** IEEE Std 1394-1995或IEEE Std 1394a-2000所定义的连结、节点、PHY、连接线、连接器等特性与作用。
- 12.2.71 传统云集(Legacy cloud):** 传统节点与Border节点的集合, 其中, 所有节点间的接续是经由传统连接埠。
- 12.2.72 连结(link):** 可以是连结层(link layer)的简称。也可以是实践连结层的实体。也可以是连接到PHY-link接口的组件。
- 12.2.73 连结层(link layer):** 串行总线协议层, 可以确认与不确认主要封包(primary packets)的传送或接收。
- 12.2.74 逻辑连接端口:** 接续状态为真(TRUE)的连接埠。如果一个连接埠接续到尚未供应电源的对等端, 那么该端口即非逻辑上连接。
- 12.2.75 低功率连接信号:** 一种超低工作周期(duty cycle)的信号, 决定出连接端口的互连状态。这是当连接埠尚未启动或是失效时才会发生的。
- 12.2.76 模块(module):** 最小的实体管理组件; 亦即一个可替换装置。
- 12.2.77 近端串音NEXT(Near-End Cross-Talk):** 在相同连接端口上传送信号对在接收信号对引起的噪声。比如说, TpB能在连接埠上的TpA引起NEXT。
- 12.2.78 节点(node):** 一种可以独立寻址的串行总线装置。一个规模最小的节点可仅包含PHY 而不具有连结层。若是连接层与其它软件层存在而且有效用, 也是视为节点的一部分。
- 12.2.79 节点控制器:** 节点之中的组件, 专门管理节点机能上的协调, 包含了应用、数据交易、连结与实体元素。
- 12.2.80 节点ID:** 16位, 用来识别在一群互连总线中的节点。节点ID的最高10位在相同总线中的节点是相同的, 这即是bus ID。而低6位则是相同总线中各个节点的唯一识别码, 称做physical ID。physical ID值在总线初始化后被指定。
- 12.2.81 NRZ(non-return to zero):** 一种简易的信号编码技巧, 极性高代表逻辑1, 极性低代表逻辑0。
- 12.2.82 空封包(null packet):** 一个没有内含数据传输的封包。
- 12.2.83 octlet:** 八字节, 或是 64 位的数据。
- 12.2.84 操作速率(operating speed):** 连接埠与对方在 Beta 模式通信的速度, 单位为 Mbps(在 8B/10B 编码之前); 一般的表示法如 S100, S200, S400 等。

**12.2.85 发源埠(originating port):** PHY上的一个传送埠, 却是没有起作用的接收埠。传送封包的来源可能是PHY的连结层或是PHY本身。

**12.2.86 封包(packet):** 在串行总线上的一序列位, 划定界限是由封包起始符号与结束符号来标示。

**12.2.87 封包速度(packet speed):** 封包的数据速率, 必须低于或是等于 Beta 模式接续来传送封包的操作速度。

**12.2.88 途径(path):** 两个节点连结层之间的所有相关连结。

**12.2.89 承载量(payload):** 意指主要封包所内含的数据量, 系由应用所定义。

**12.2.90 PCB:** 印刷线路板(Printed circuit board)的简称。

**12.2.91 对等端(peer):** 远程节点的相同层次服务层。譬如说, 对等连结层即是在不同节点上的连结层。

**12.2.92 PIL:** 乃PHY integrated with Link之简称。一个使用变更过Beta连接埠的连结, 系使用规格中第15分句所定义的协议。

**12.2.93 PHY封包:** 一个64位封包, 其中高32位与低32位是呈现互补的。

**12.2.94 实体上的连接(physical connection):** 连接节点之间的全双工实体层关系。就连接线实体层的场合来说, 这是一对执行于相反方向的实体上的连接。

**12.2.95 实体 ID:** 节点 ID 的低六位。在一特定的总线上, 每个节点的实体 ID 是唯一的。

**12.2.96 实体层(PHY):** 串行总线协议层, 将连结层使用的逻辑符号转换为电气信号到媒介上。

实体层会进行自我初始化。实体层仲裁可保证在一个时间仅有一个节点在传送数据。机械的接口也是实体层定义的部份。对于背板(backplane)以及连接线(cable)的使用环境, 有各自不同的实体层。

**12.2.97 实体上连结:** 在连接线使用环境的实体层, 一个节点连接埠的传输器单工接续到对接节点连接埠的接收器。

**12.2.98 ping:** 一种用词, 系描述一个PHY封包传输到某一特定节点, 目的是为了选择诱导回应封包的时机。

**12.2.99 PLL:** Phase Locked Loop 的简称。

**12.2.100 PMD:** Physical Medium Dependent 的简称。

**12.2.101 PMD界面(PMD interface):** 特定于一种互连的界面。

**12.2.102 点对点封包(P2P):** 在PIL-FOP接口上传送的特殊封包型式。此类封包是用于一般串行总线不能传送的数据承载。

**12.2.103 连接埠(port):** PHY 的一部份, 可以连接到其它节点。

**12.2.104 主要封包(primary packet):** 非认可或是PHY封包的任何封包。一个主要封包是整数倍的quadlet, 而在第一个quadlet之中包含了一个交易码(transaction code)。

**12.2.105 主要电源供应者:** 可以提供至少20V电源的节点, 在其self-ID封包中宣告其的电源供应能力。其它的限制与要求, 描述于TA Cable Power Distribution文件之中。

**12.2.106 quadlet:** 四字节, 亦即 32 位数据。

**12.2.107 随机抖动(random jitter):** 随机来源引起的信号抖动。具有高斯统计的特征, 依据高斯分布函数无边界的变化。

**12.2.108 接收器眼状图开口:** 单位元期间内的时间区间, 其中。取样数据值的错误或然率低于特定的位错误率BER(bit error ratio)。

**12.2.109 缓存器(register):** 用来描述串行总线数据交易读写的地址。在这标准的内文中, 缓存器一词的使用并没有隐含特定硬件的实践。举例来说, 在分割式数据交易的场合, 在请求(request)与回应(response)子动作之间有足够的時間, 缓存器的动作效用可以由模块中的处理器来模拟。

**12.2.110 中继埠(repeating port):** PHY上的一个传送埠, 用来中继从PHY接收埠来的一个封包。

**12.2.111 请求(request):** 一个节点的连结(requester)送出可含资料的主要封包到另一个节点的连结(responder)。

**12.2.112 回应(response):** 针对请求子动作的响应的一个主要封包(可能内含数据)。

**12.2.113 回复(restore)或说复原:** 将处于待机(standby)的连接返回到有效用的状态。

**12.2.114 恢复信号:** 一种信号, 用来要求连结埠恢复到正常动作的状态。

**12.2.115 恢复中连接埠(resuming port):** 先前中止埠已经见到非连接(connection tone)的信号或是接收到指使来恢复。无论是哪种场合, 恢复中连接埠与对等的连接PHY进行协议沟通来重新建立正常的动作。

**12.2.116 运行长度(run length):** 一序列相同值位的长度; 比如说逻辑 1 或逻辑 0。

**12.2.117 运行位差(running disparity):** 根据最近传送(或是接收)的字符子区块, 字符子区块结束时的估计运行数位和(running digital sum)。若是初始化具有相同值, 运行位差以及运行数字和在任何字符子区块的结束时是相等的。如果在接收字符串有错误的场合, 运行位差不会等于运行数字和。

**12.2.118 扰码器(scrambler):** 藉由使用必要的符号以及类似随机产生的偏移指位器。系用来将传送信号内容的频谱平准化, 避免电磁干扰的发生。

**12.2.119 资深border(senior border):** 在B云集中的唯一border节点。资深border乃是最后节点, 无须在云集中有速度码即可发出self-ID封包(亦即, 由于传统连结从DS模式端口中继或产生); 而且, 负责确保遵守了特定的传统间隙时序。

**12.2.120 self-ID 封包:** 在 self-ID 过程中或是针对 PHY ping 封包回应的一种 PHY 封包。

**12.2.121 串行总线管理:** 传输协议、服务管理与操作步骤的套集, 用来追踪与控制串行总线的实体层、连结层与数据交易层。

- 12.2.122 来源(source):** 激发一个总线传输的节点。
- 12.2.123 分割式数据交易(split transaction):** 在请求与反应子动作之间于总线上可能发生不相关子动作的数据交易。
- 12.2.124 STP:** Shielded twisted pair 的简称。
- 12.2.125 待机(standby):** Beta连接的低功率状态，其中，仅有低功率连接信号产生。连接埠进入或离开待机状态时，不会产生总线重置。
- 12.2.126 待机启动端(standby initiator):** 传送STANDBY配置请求的作用端口，并与对接的PHY进行协议来将连接切换到待机状态。
- 12.2.127 子动作(subaction):** 一个完整的连结层操作，至少包含一个封包的传送。该封包之前可能是总线重置，之后可能是认可。
- 12.2.128 子动作间隔(subaction gap):** 传统的连接云集中，对于一个异步子动作，在仲裁之前的闲置总线期间。
- 12.2.129 中止(suspend):** 当维护低功率连接信号时，进入低功率模式的操作。当连接埠进入或是离开中止状态时，产生总线重置。
- 12.2.130 中止启动端(suspend initiator):** 传送SUSPEND配置请求或是TX\_SUSPEND信号的作用端口，并与对接的PHY进行协议来将连接切换到中止状态。
- 12.2.131 中止对象(suspend target):** 接收SUSPEND配置请求或是观测到RX\_SUSPEND信号的一个效用端口。当中止对象端口与接续的对等PHY参与协议来中止连接时，中止对象会要求在PHY上的其它效用埠变成中止启动端。
- 12.2.132 中止节点(suspended node):** 一个至少有一个连接埠已经中止的节点。
- 12.2.133 中止埠(suspended port):** 对于正常串行总线仲裁不能运作的连接端口，但是能够侦测实体连接线断接或是一个恢复信号。
- 12.2.134 同步(synchronization):** 接收端电路对齐的处理，可以适当地侦测接收位以及侦测符号的边界。
- 12.2.135 TDR:** 亦即Time Domain Reflectometry的简称。
- 12.2.136 TIA:** Telecommunications Industry Association的简称。
- 12.2.137 数据交易(transaction):** 一个请求(request)与选项的响应(response)。
- 12.2.138 数据交易层(transaction layer):** 串行总线的协议层，对于读取、写入与锁定操作定义了请求-回应(request-response)的传输协议。
- 12.2.139 单元(unit):** 一个串行总线节点的组件，它提供了处理、内存、I/O或其它的机能。一旦该节点初始化之后，单元提供了一个CSR界面。一个节点可以拥有多个单元，其中的各个单元可以独立动作。

**12.2.140 单元架构(unit architecture):** 描述在节点内实践一个单元接口与效用的规格文献。

**12.2.141 单元区间(unit interval):** 传送单一位的一般时间量。

**12.2.142 UTP:** Unshielded Twisted Pair的简称。